

HYBRIDE ANALOGPERIPHERIE FÜR DIGITALE MIKROREGLER

von
Peter Ernst

Erlangen 1978

1978

1979 #26

HYBRIDE ANALOGPERIPHERIE FÜR DIGITALE MIKROREGLER

Dem Fachbereich Ingenieurwissenschaften
der Universität Erlangen-Nürnberg
zur Erlangung des Grades
Doktor-Ingenieur

vorgelegt von
Peter Ernst

Erlangen 1978



Als Dissertation genehmigt vom
Fachbereich Ingenieurwissenschaften
der Universität Erlangen-Nürnberg

Tag der Einreichung: 19. Juli 1978
Tag der Promotion: 2. November 1978

Dekan: Prof. Dr.-Ing. D. Seitzer

Berichterstatter: Prof. Dr. phil. nat. H. Schlitt
Prof. Dr.-Ing. D. Seitzer

INHALTSVERZEICHNIS	Seite
1. Einleitung	1
2. Der Mikroregler und seine Peripherie	8
2.1 Definition des Mikroreglers	8
2.2 Struktur des Mikroreglers	9
2.3 Anforderungen an die Analogperipherie	11
2.4 Analog/Digital-Wandler	12
2.5 Kompensation des Verstärkungsfehlers	17
3. Halblogarithmische Analog/Digital-Umsetzer	23
3.1 Definition des Gleitkommawandlers	23
3.2 Klassifizierung der Gleitkommawandler	27
3.3 Bisherige Ansätze	34
3.4 Das neue Verfahren	35
3.5 Ein Ausführungsbeispiel	42
4. Halblogarithmische Wandler mit Mikrocomputer	50
4.1 Aufbau eines Mikrocomputers	50
4.2 Der mikrocomputergesteuerte Wandler	56
4.3 Abgleich des Wandlers	60
5. Linearisierende Analog/Digitalwandler	61
5.1 Bisherige Ansätze zur Linearisierung	61
5.2 Hybride Linearisierung	65
5.3 Ausführungsbeispiel	65
5.4 Halblogarithmischer linearisierender Wandler	70
6. Statische mehrkanalige Analog/Digitalumsetzer	72
6.1 Das Prinzip der vertikalen Analog/Digital-Wandlung	72
6.2 Statischer Mehrfachwandler	78
7. Dynamische Mehrfachwandler	89
7.1 Prinzip des SHANNON-RACK-Decoders	89
7.2 Modifizierter SHANNON-RACK-Decoder	90
7.3 Fehler der dynamischen Wandler	95
7.4 Vorschlag für die Realisierung eines dynamischen Mehrfachwandlers	102
8. Zusammenfassung	108
Literaturverzeichnis	



Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41548222_0035

1. EINLEITUNG

In diesem einleitenden Kapitel werden die hauptsächlichen Entwicklungslinien der heutigen Regelungstechnik charakterisiert und daraus die Anforderungen an die moderne Prozeßmeßtechnik für Mikroregler hergeleitet.

Die Regelungstechnik als fachübergreifende ingenieurwissenschaftliche Disziplin vereinigt die Anstrengungen von Fachleuten verschiedenster Gebiete für die Lösung von Aufgabenstellungen, welche darin bestehen, ausgehend von Informationen über einen Prozeß, eben diesen Prozeß im Sinne eines übergeordneten Optimalitätsprinzips zu beeinflussen.

Im Bild 1.1 wird eine grobe Zuordnung der verschiedenen Disziplinen zu den Komponenten eines einläufigen Regelkreises angegeben. Damit soll natürlich nicht unerwähnt bleiben, daß sich in den Meßwertwandlern (Transmitter) und den Stellantrieben und Stellgliedern ebenfalls Regelkreise befinden können. Die Systemtheorie allerdings, als umfassende Hilfsdisziplin, läßt sich keiner der Komponenten umkehrbar eindeutig zuordnen.

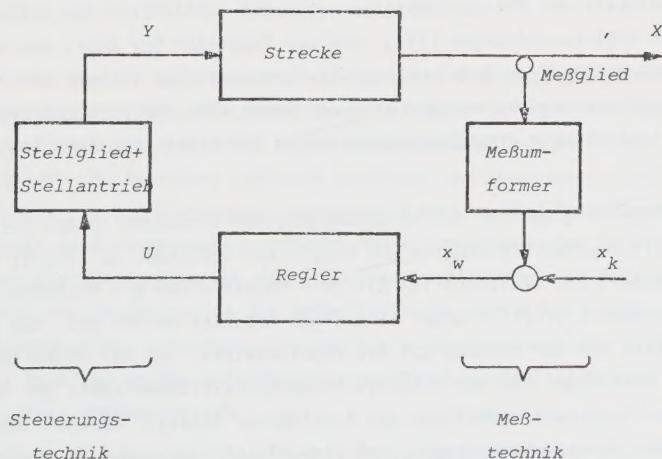


Bild 1.1
Mögliche Zuordnung von ingenieurwissenschaftlichen Teildisziplinen zu den Schnittstellenkomponenten eines einläufigen Regelkreises

Die Entwicklung der modernen Regelungstechnik ist nun durch wesentliche Fortschritte auf den folgenden drei Gebieten gekennzeichnet:

- o Systemtheorie
- o Digitale Regelung
- o Verteilte Regelung
- o Prozeßdatenerfassung

Die größten Fortschritte sind zweifellos auf dem Gebiet der Systemtheorie erfolgt, die in den letzten Jahren durch die Methoden der Zustandsregelung speziell auf regelungstechnische Belange ausgerichtete Entwurfsverfahren liefert (/1/).

Andererseits, und hier spielt der zweite Punkt der digitalen Regelung mit hinein, konnten spezielle Algorithmen entwickelt werden, wie zum Beispiel die dead-beat-Regelung (/2/), die erst durch eine digitale Realisierung der Regler im Prozeßrechner verwirklicht werden konnten. Was nun die digitale Regelung selbst betrifft, so erfolgten hier starke Impulse durch die Bauelementeindustrie, welche mit dem Mikroprozessor ein wirkungsvolles Element zum Aufbau preisgünstiger kleiner Datenverarbeitungsgeräte anboten.

Probleme der Verfügbarkeit, die stark in die Anlagensicherheit eingehen, und die doch im Vergleich zu Prozeßrechnern langsame Verarbeitungsgeschwindigkeit der Mikroprozessoren erzwangen schließlich den Aufbau verteilter Regleranordnungen (/3/). Von der Topologie her kehrt man damit zur prozeßangepaßten Regelkreisstruktur der analogen Technik mit ihren Einzelreglern zurück, nachdem sich der Umweg über die rechnerorientierte zentralistische Prozeßinstrumentierung als nicht tragfähig erwiesen hatte.

Allerdings wird man bei verfahrenstechnischen Prozessen in den seltensten Fällen einen Mikroregler pro Regelkreis vorsehen; es scheint sich als Standard die Bedienung von bis zu 8 Regelkreisen pro Mikroregler einzubürgern (/4/,/5/), wobei allerdings beachtet werden muß, daß diese Zahl stark von der Komplexität des Regelgesetzes, von der Genauigkeit, sprich Wortlänge, und den Eingangs/Ausgangsaktivitäten sowie der verwendeten Prozessortechnologie und Architektur abhängt. Generell kann hier aber schon gesagt werden, daß sich die Anforderungen an die Prozeßdatenerfassung mit dem Übergang vom zentralen Prozeßrechner zum verteilten Mikroreglersystem ändern wird.

Dem letzten Punkt, nämlich der Verbesserung der Prozeßschnittstelle unter Zuhilfenahme moderner Methoden und Bauelemente, ist die vorliegende Arbeit gewidmet.

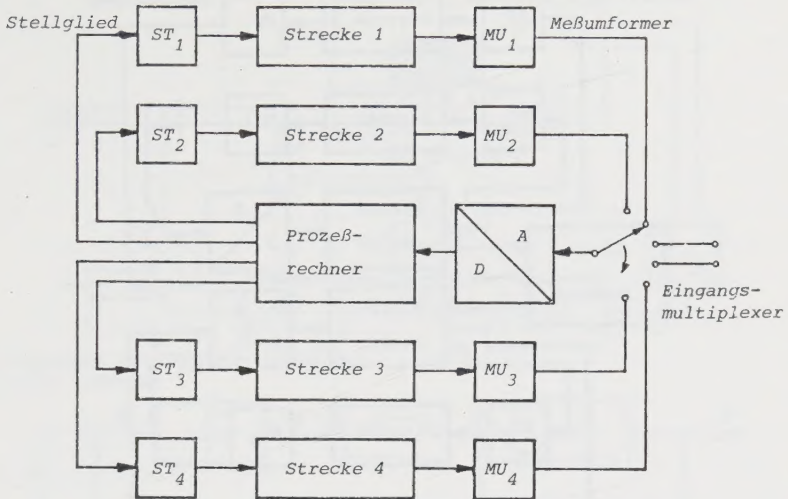


Bild 1.2

Eingangs/Ausgangsstruktur des Prozeßrechners, welche zeigt, daß der Analog/Digitalwandler im Eingang einen Flaschenhals für die Prozeßinformation darstellt

Bild 1.2 zeigt die für den Prozeßrechner typische Prozeßbankkopplung an mehrere Regelkreise (/6/). Die Meßwertumformer jeder Strecke verfügen über eigene Signalkonditionierer, deren Ausgangsgrößen mit Hilfe des Eingabesammlers (Multiplexer) zyklisch abgefragt und über den Analog/Digital-Wandler in ein Digitalwort umgewandelt werden. Der Prozeßrechner berechnet dann nacheinander aufgrund der einprogrammierten Regelalgorithmen die Stellgrößen für die einzelnen Stellglieder. Im Bild 1.2 ist deutlich die Konzentration des Datenflusses im zentralen Wandler und dem Prozeßrechner erkennbar, die damit als topologisches und zeitkritisches Nadelöhr großen Anforderungen bezüglich Ausfallsicherheit und Geschwindigkeit genügen müssen.

Damit das Ausfallrisiko verringert wird, strebt man heutzutage eine Verteilung der Regelungsfunktion innerhalb eines Prozesses auf mehrere Regler an. Die Struktur dieser verteilten Regelung ist im Bild 1.3 dargestellt. Mehrere Mikroregler bedienen jeweils nur einen Teil der Regelkreise eines Prozesses, während ein übergeordneter Leitrechner die Funktionen der Prozeßoptimierung, Protokollierung und Leitung übernimmt.

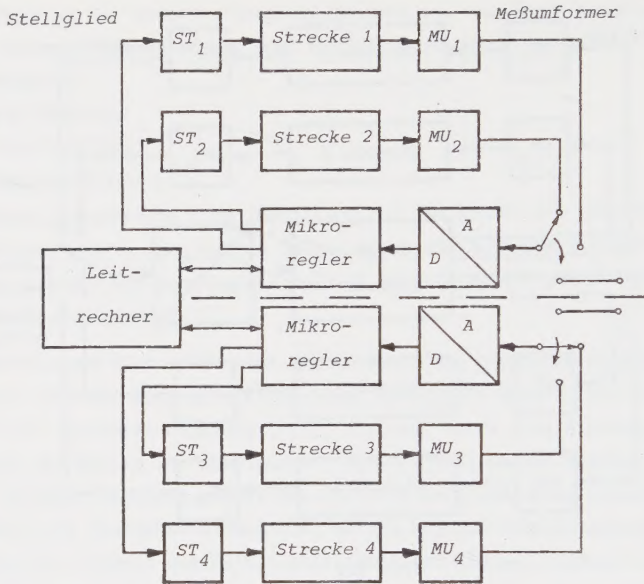
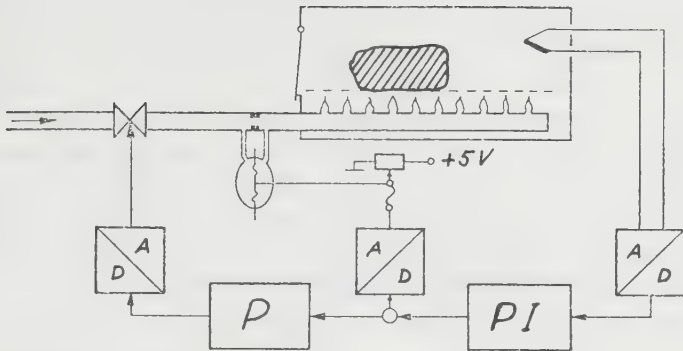


Bild 1.3

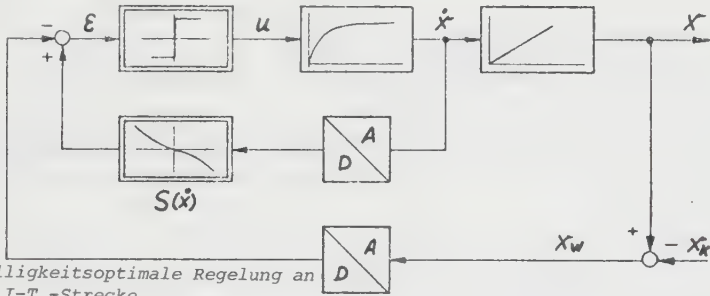
Die Struktur der verteilten Regelung mit Mikroregler sorgt durch mehrfachen Aufbau der Teilkomponenten für eine erhöhte Zuverlässigkeit

Die Geschwindigkeitsanforderungen an die einzelnen Mikroregler werden damit verringert; eine Folge der dezentralen Struktur, die den Einsatz von Mikroprozessoren für die Regelung umfangreicher Prozesse erst ermöglicht hat. Weiterhin ist bemerkenswert, daß die Anzahl der Datenwandler, hier der Analog/Digital-Wandler, mit dem Grad der Distribution ansteigt. Während nun auf der einen Seite an ihre Wandlungsgeschwindigkeit geringere Anforderungen gestellt werden können, bedingt doch deren steigende Zahl Überlegungen zur Aufwandsverringerung dieser Prozeßkoppel-elemente möglichst in Verbindung mit den Meßwertumformern.

Welche Anforderungen im einzelnen an die Analog/Digital-Schnittstellen gestellt werden müssen, soll am folgenden Beispiel gezeigt werden. Bild 1.4 stellt als Ausschnitt aus einem größeren Prozeß zwei Regelkreise dar, die mit einem Mikroregler geregelt werden sollen. Im Bild 1.4a handelt es sich um die klassische PI-P-Kaskade zur Temperaturregelung in einem Glühofen. Die beiden Meßfühler zur Prozeßdatenerfassung, näm-



a. PI-P-Kaskade zur Temperaturregelung in einem Glühofen



b. Schnelligkeitsoptimale Regelung an einer I-T₁-Strecke

Bild 1.4

Zwei Beispiele für Mikroregleranwendungen, aus denen die Anforderungen an die Analog/Digital-Wandler hergeleitet werden

lich das Thermoelement zur Messung der Ofentemperatur und der Differenzdrucktransmitter zur Erfassung des Massenstroms, welcher in diesem Fall ein Gleichspannungssignal abgibt, liefern Signale recht unterschiedlicher Größe: Bei einer maximalen Ofentemperatur von 1000°C hat das Thermoelement mit 40 $\mu\text{V}/^\circ\text{C}$ beim NiCr-Ni-Thermopaar eine EMK von maximal 40 mV, während der potentiometrische Abgriff des Drucktransmitters ein Ausgangssignal von bis zu 5 V abgibt. Da der Zusammenhang zwischen Volumenstrom und Differenzdruck zudem nichtlinear ist (/7/), kommt bei der Verarbeitung der Hilfsregelgröße noch das Problem der Linearisierung hinzu.

Der Regelkreis nach Bild 1.4b ist für eine schnelligkeitsoptimale Regelung an einer I-T₁-Strecke ausgelegt (/8/), welche, ausgehend von einem beliebigen Zustand der Strecke, diese mit nur einer Umschaltung in den

Ursprung führt. Dazu notwendig ist die Messung der Regelgröße x , die hier mit einem extern angelegten analogen Sollwert verglichen wird, und die Erfassung der Ableitung $\dot{x}$ der Regelgröße. Diese muß noch mit der nichtlinearen Schaltkurve $S(\dot{x})$ bewertet werden, bevor sie additiv zur Erzeugung der Stellgröße herangezogen wird. In diesem Regelkreis sind zwei Probleme der Meßwerterfassung zu lösen: Zum einen wird dem Regler nur die Regelabweichung zugeführt, die im ausgeregelten Fall verschwindet und darum in der Umgebung des Ursprungs recht genau erfaßt werden muß. Andererseits muß die nichtlineare Bewertung der Ableitung der Regelgröße durchgeführt werden, bevor die Aufschaltung zum Regler erfolgt.

Aus diesen Beispielen ist deutlich erkennbar, daß die Anforderungen an die Meßdatenerfassung in Regelungssystemen von verschiedenen Faktoren bestimmt werden:

- o Verschiedene Ausgangsgrößen der Meßwandler
(kleine Ausgangsspannung des Thermoelements, große vom Drucktransmitter)
- o Physikalische Gesetze der Meßwandler
(leichte Nichtlinearität beim Thermoelement, quadratischer Zusammenhang zwischen Durchfluß und Ausgangsspannung beim Differendrucktransmitter)
- o Regelgesetz
(nichtlineare Bewertung beim geschwindigkeitsoptimalen Algorithmus)
- o Struktur des Regelkreises
(Digitalisierung der Regelabweichung).

Um den genannten Anforderungen gerecht werden zu können, muß die Prozeßschnittstelle also einen möglichst großen Spannungsbereich umfassen und die Linearisierung von nichtlinearen Meßumformern ermöglichen. Neben diesen von der Aufgabenstellung her bestimmten Eigenschaften verlangt die vermehrte Anzahl von Analog/Digital-Schnittstellen eine kostengünstige, möglichst universelle Realisierung, ganz abgesehen von der Verträglichkeit dieser Schnittstellen mit den im Mikroregler eingesetzten Mikroprozessoren.

Ausgehend von der Kennzeichnung der in der Prozeßschnittstelle eingesetzten Analog/Digital-Wandler im zweiten Abschnitt wird im dritten Kapitel die zentrale Rolle des multiplizierenden Digital/Analog-Wandlers herausgearbeitet. Dort erfolgt auch die Herleitung einer universellen Wandlerstruktur für große Spannungsbereiche an einem ausgeführten Beispiel, welches noch mit integrierten Schaltungen mittlerer Komplexität realisiert wurde. Nach einem kurzen Exkurs über Mikroprozessoren im

vierten Kapitel, in dem insbesondere auf die Peripherieankopplung derartiger Schaltelemente eingegangen wird, folgt die Realisierung halblogarithmischer Analog/Digital-Wandler mit Mikroprozessoren.

Basierend auf dem gleichen Konzept, welches sich damit als recht tragfähig erweist, wird im fünften Abschnitt gezeigt, wie die Linearisierung von nichtlinearen Meßwertaufnehmern mit nur wenig Mehraufwand durchgeführt werden kann. Im sechsten Kapitel schließlich erfolgt die Vorstellung einer neuen, mikroprozessorangepaßten Prozeßperipheriestruktur, die einen wesentlich größeren Informationsfluß ermöglicht und als Grundlage für eine neue Klasse von Prozeßdatenerfassungssystemen dienen kann.

2. DER MIKROREGLER UND SEINE PERIPHERIE

Nach der Definition des Mikroreglers werden die Strukturen bereits realisierter Mikroregler kurz untersucht. Die dort festgestellte Modularität im gerätetechnischen Aufbau und der Programmierung wird auf die geforderte funktionale Flexibilität der Analogperipherie erweitert. Auf die Realisierung heutiger zyklischer Analog/Digital-Wandler mit Hilfe der multiplizierenden Digital/Analog-Wandler wird kurz eingegangen und die Kompensation des Verstärkungsfehlers derartiger Wandler dargestellt.

2.1 Definition des Mikroreglers

Unter einem Mikroregler wird im folgenden eine digital arbeitende Datenverarbeitungseinrichtung verstanden, die als Kern ein Rechenwerk aus hochintegrierten Schaltungen (Mikroprozessor) enthält und für die Anwendung als digitaler Regler für die Bedienung eines oder mehrerer Regelkreise ausgelegt wird.

Er ist insbesondere durch folgende Eigenschaften gekennzeichnet:

- o Kompakter Aufbau als Einzelgerät,
- o eigenes Bedienfeld für die Änderung von Parametern und die Anzeige von Prozeßzuständen,
- o eigene Prozeßperipherie für die Eingabe und Ausgabe analoger elektrischer Größen und digitaler Daten,
- o eigene Programmbibliothek für Standardreglerfunktionen und
- o eigenen Parameterspeicher sowie
- o eigenen Arbeitsspeicher.

Daraus folgt die mögliche autonome Funktion mit einem festen Parametersatz, welche durch die zusätzliche Ankopplung an einen übergeordneten Rechner auf den nichtautonomen Betrieb eingeschränkt werden kann.

Der Mikroregler besitzt damit im Prinzip alle Komponenten eines Prozeßrechners, unterscheidet sich von diesem aber in wesentlichen Punkten:

- o Der Mikroregler ist langsamer,
- o er verfügt über keinen Massenspeicher wie Diskette oder Magnetplatte,
- o es fehlen Datensichtgerät oder Fernschreibmaschine.

Daraus resultiert ein eingeschränkter Anwendungsbereich, der komplexere Funktionen, wie Optimierung und Bilanzierung ausschließt. Die Leistungs-

fähigkeit des Mikroreglers schließt damit an die untere Grenze derjenigen des Prozeßrechners an und überbrückt damit die bislang noch bestehende Kluft zwischen der Anwendung sehr speziell zugeschnittener digitaler Regelanordnungen und dem Prozeßrechnereinsatz.

2.2 Struktur des Mikroreglers

Die Strukturen ausgeführter Mikroregler wie beispielsweise derjenigen von LAUBER und STOCKER (/9/) und BIRCK (/5/) sind weitgehend von der Aufgabenstellung her bestimmt und sich darum sehr ähnlich. Allen gemeinsam ist der im Bild 2.1 dargestellte modulare Aufbau aus einzelnen Funktionsblöcken.

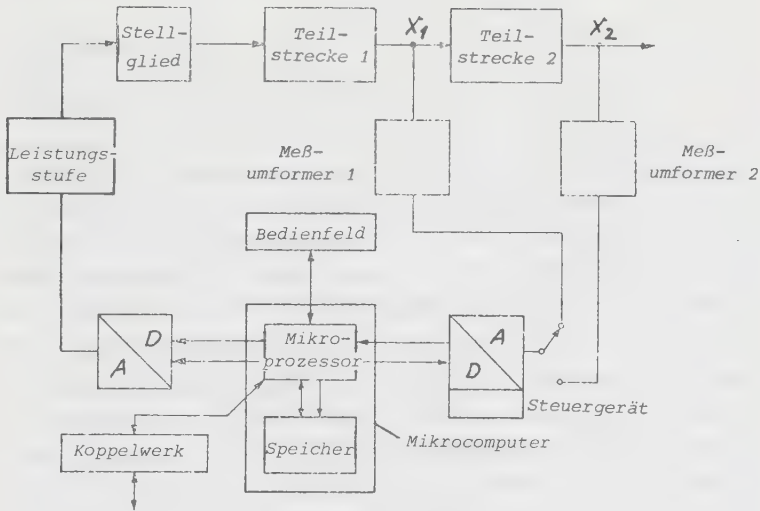


Bild 2.1

Der Mikroregler, hier an einer Strecke mit mehreren Ausgängen, verfügt über eigene Analog- und Bedienungsperipherie

Die Funktionen bestehen insbesondere aus

- o analoger Vorverarbeitung der Transmitterausgangsgrößen zur Anpassung an den Wandlungsbereich des Analog/Digital-Wandlers;
- o der eigentlichen Analog/Digital-Konversion mit Meßstellenanwahl, wobei der Wandler über ein eigenes Steuerwerk verfügt;
- o der digitalen Verarbeitung für die Realisierung des Regelalgorithmus und
- o der ausgangsseitigen Erzeugung eines analogen Stellsignals.

Von einem übergeordneten Standpunkt lassen sich die Baugruppen des Mikroreglers in zwei große Gruppen zusammenfassen: Und zwar in den Mikrocomputer, bestehend aus dem Mikroprozessor, dem Speicher und der Eingabe/Ausgabeschnittstelle, welche alle rein digital arbeiten, und die Gruppe der Analogperipherie, bestehend aus den Wandlern mit der analogen Signalkonditionierung.

Der gerätetechnische Aufbau der Mikroregler orientiert sich nun an den vorhin genannten Teilfunktionen durch getrennte Realisierung der Funktionsblöcke etwa in Form einzelner Steckkarten, um den Mikroregler der Aufgabe und den unterschiedlichen Meßgliedern anzupassen. Dies bedeutet naturgemäß einen recht hohen Grundaufwand und damit verbundene Anfangskosten.

Eine andere Entwicklungsrichtung im Hinblick auf niedrige Kosten wurde in neuester Zeit von JINADASA (/10/) vorgestellt und bereits von ERIKSON (/11/) kurz angekündigt. Es handelt sich dabei um einen Mikrocomputer, der als Kernmodul auf einer Europakarte (100x160mm) erhältlich ist und durch diverse Peripherieeinheiten, die zusammen mit der Stromversorgung noch auf der Platine Platz finden, an das jeweilige Regelungsproblem durch verschiedene Bestückung angepaßt werden können. Dies ist zweifellos die Lösung mit minimalem Aufwand; sie hat aber den Nachteil, daß die Flexibilität des modularen Aufbaus verloren gegangen ist.

Will man dennoch die Vorteile beider verbinden, nämlich die niedrigen Kosten des Aufbaus auf einer Karte und die Flexibilität der modularen Struktur, dann drängt sich als logische Folgerung nur die Forderung nach einer in die einmal aufgebaute Analogperipherie hinein verlagerten funktionalen Flexibilität geradezu zwingend auf. Der Lösung dieses Problems, nämlich eine universelle, leicht anpaßbare Analogperipherie zu schaffen, ist diese Arbeit gewidmet. Leicht anpaßbar heißt in diesem Fall nicht: Leichte Arbeit mit dem Lötkolben.

Man darf nicht vergessen, daß der Mikrocomputer ein programmierbares Element ist. Seine Eigenschaften, oder besser, die Eigenschaft des mit ihm bestückten Gerätes, hängen sowohl vom gerätetechnischen Aufbau (was man neuerdings mit Hardware bezeichnet) als auch vom Programm (der Software) ab. Genauso wie die Hardware ist auch die Software der bisherigen Realisierungen digitaler Regler modular aufgebaut. Das heißt

im speziellen Fall des Mikroreglers, daß der Mikrocomputer über Unterprogramme verfügt, die jeweils eine ganz bestimmte Funktion, wie etwa die Multiplikation, die bei den meisten der heutzutage erhältlichen Mikroprozessoren noch über keinen eigenen Befehl verfügt, oder die Meßwertlinearisierung, ausführen.

Um jetzt zu der funktionalen Flexibilität der Analogperipherie zu kommen, müssen bestimmte Hardwarefunktionen, das sind in diesem Falle vornehmlich die Funktion des Steuergenerators vom Analog/Digital-Wandler und die Signalkonditionierung vor diesem Wandler in die Form leicht auswechselbarer Softwarepakete, das sind Programmspeicherbereiche, die sich in steckbaren Festwertspeichern befinden, transformiert werden. Dieses Vorhaben stellt höhere Ansprüche an den Wandler und einen dazu notwendigen Vorverstärker, dessen Spezifikation im folgenden definiert werden soll.

2.3 Anforderungen an die Analogperipherie

Diese werden im wesentlichen durch die kleinste aufzulösende Spannung und die geforderte Genauigkeit am oberen Ende des Wandlungsbereichs bestimmt. Da sich in der Eingangsstufe des Wandlers in irgendeiner Form ein Verstärker befindet, lassen sich diesen beiden Forderungen bestimmte Verstärkerkennwerte zuordnen. Die schärfsten Randbedingungen bezüglich der kleinsten aufzulösenden Spannung werden zweifellos von Thermoelementen als Meßwertaufnehmer gegeben.

Eine Temperaturmeßeinrichtung mit NiCr-Ni-Thermoelement nach DIN 43710 (/13/) liefert eine mittlere EMK von $41.3 \mu\text{V}/^\circ\text{C}$ und hat einen Temperaturbereich von 0°C bis 1200°C . Soll die Genauigkeit in diesem Bereich 1°C betragen, dann wird vom Verstärker die Einhaltung einer Nullpunktunsicherheit von $41.3 \mu\text{V}$ und eines Verstärkungsfaktors, der auf 0.0833% genau sein muß, gefordert.

Beide Kenndaten sind temperaturabhängig. Im Temperaturbereich von 0°C bis 70°C ergibt sich damit für den maximalen Temperaturkoeffizienten α_{offset} der Eingangsruhespannung: $\alpha_{\text{offset}} = 41.3 \mu\text{V}/70^\circ\text{C} = 0.59 \mu\text{V}/^\circ\text{C}$, ein Wert, der von modernen integrierten Chopperv Verstärkern (/14/) übertroffen wird. Die geforderte Konstanz des Verstärkungsfehlers, welche im wesentlichen von dem thermischen Gleichlauf der verstärkungsbestimmenden Widerstände am beschalteten Verstärker abhängt, bestimmt deren maximalen differentiellen Temperaturkoeffizienten zu:

$\alpha_V = 833 \text{ ppm}/70^\circ\text{C} \approx 11.9 \text{ ppm}/^\circ\text{C}$, ein Wert, der von der modernen Dünnschichttechnologie für Widerstandswerte sicher beherrscht wird (/15/).

2.4 Analog/Digital-Wandler

Durch die Abtastung werden den Meßsignalen Proben entnommen, welche das nachfolgende Halteglied bis zum Ende der Analog/Digital-Wandlung, die den analogen Spannungen Digitalworte zuordnet, speichert. Das Meßsignal wird also in zwei Richtungen diskretisiert: Zum einen in der Zeitrichtung durch den Abtastvorgang und zum anderen in der Amplitude, denn die Wandler verfügen nur über eine begrenzte Anzahl von Stufen, wie auch die nachfolgende digitale Verarbeitungseinheit nur eine endliche Wortlänge besitzt.

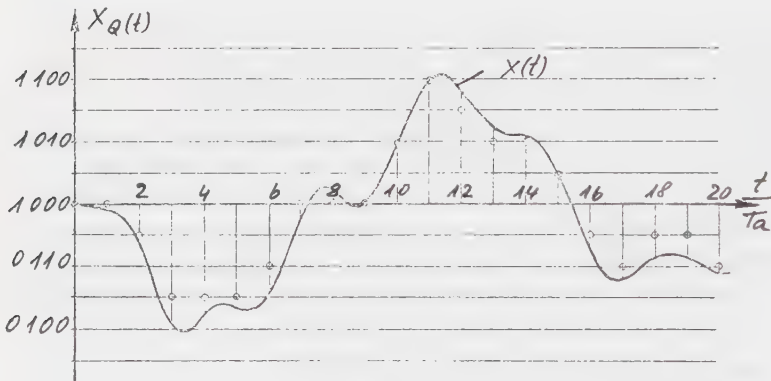


Bild 2.2

Das Meßsignal wird in zwei Richtungen diskretisiert: Durch die Abtastung in Zeitrichtung, durch die Analog/Digital-Wandlung in der Amplitude

Es gibt nun eine ganze Reihe von Verfahren, um einen Analogwert in eine diskrete Zifferndarstellung zu überführen. Bei SEITZER (/12/) findet sich eine umfassende Darstellung, von denen hier aber nur ein Rückkopplungsverfahren, welches SEITZER genauer als zyklisches Verfahren definiert, betrachtet wird. Es wurde hauptsächlich aus dem Grunde größtmöglicher potentieller Flexibilität gewählt, zu dem noch eine für regelungstechnische Zwecke ausreichende Geschwindigkeit kommt. Das Prinzipschaltbild ist im Bild 2.3 dargestellt und zeigt einen Digital/Analog-Wandler DA, dessen Ausgangsspannung U_a , von einer Referenzspannung U_{Ref} abgeleitet, einen Schätzwert für die unbekannte Spannung U_x darstellt. Beide werden mit Hilfe des Komparators K verglichen, dessen

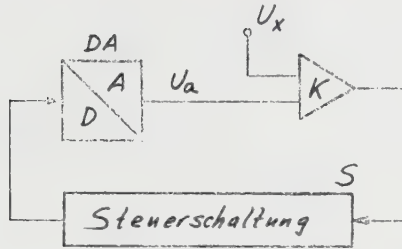


Bild 2.3

Prinzipschaltbild des zyklischen Analog/
Digital-Wandlers mit einem rückgeführten
Digital/Analog-Wandler und Komparator

Ausgangssignal eine Steuerschaltung S zur Erzeugung eines neuen, besseren Schätzwertes anregt.

Wie solche Digital/Analog-Wandler mit modernen Bauelementen realisiert werden, soll im folgenden dargelegt werden. Grundlegend dafür ist die Beschaltung eines Operationsverstärkers mit steuerbaren Netzwerken.

Allgemein gilt für eine Anordnung nach Bild 2.4:

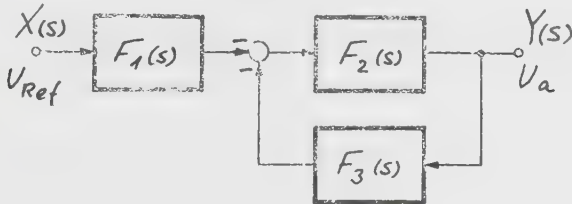


Bild 2.4

Durch die Beschaltung eines Operations-
verstärkers läßt sich dessen Verstär-
kungsfaktor einstellen

$$F_G(s) = \frac{Y(s)}{X(s)} = - \frac{F_1(s) \cdot F_2(s)}{1 + F_2(s) \cdot F_3(s)}$$

Speziell für die reellen Übertragungsfunktionen

$$F_1(s) = \alpha, \quad F_2(s) = V_0, \quad F_3(s) = \beta$$

ergibt sich:

$$F_G(s) = V_G = - \frac{\alpha V_0}{1 + \beta V_0} = - \frac{\alpha}{\beta + \frac{1}{V_0}}$$

und im Grenzfall für $V_0 \rightarrow \infty$

$$V_G = - \frac{\alpha}{\beta}$$

Wird eine Konstantspannung U_{Ref} als Eingangssignal gewählt, gilt für die Ausgangsspannung U_a :

$$U_a = - \frac{\alpha}{\beta} \cdot U_{\text{Ref}} \cdot$$

Da die Entscheidung, welchen Verstärkungsfaktor der beschaltete Verstärker einnehmen soll, von einer digitalen Schaltung getroffen wird, andererseits die Bauelemente für die Verstärkungseinstellung prinzipiell analoger Natur sind wie etwa Rückführwiderstände, ist eine Anpassungsschaltung digital-analog notwendig. Zusätzlich muß für diese noch gefordert werden, daß sie sowohl für positive als auch für negative Analogwerte brauchbar sein soll.

Dies jedoch nicht allein aus dem Grunde, daß die Eingangsgrößen mit wechselnden Polaritäten auftreten können, sondern auch einfach aus der Überlegung heraus, daß ein Operationsverstärker bei positivem Eingangssignal ein negatives Ausgangssignal und umgekehrt liefert.

Schaltungen, welche die beiden Bedingungen der digitalen Ansteuerung und analogen Verarbeitung von Signalen verschiedener Größe und Polarität erfüllen, sind als multiplizierende Digital/Analog-Wandler erhältlich. Sie bestehen im Prinzip aus:

- o Widerstandsnetzwerk zur Erzeugung abgestufter Ströme
- o Digital ansteuerbaren Halbleiterschaltern zur Auswahl der Ströme
- o Stromsammelschienen zur Summation der angewählten Ströme.

Das Widerstandsnetzwerk besteht aus technologischen Gründen aus einem Abzweignetzwerk, dessen Widerstände in der gleichen Größenordnung liegen mit einem Widerstandsverhältnis, welches vom benutzten Code abhängt. Für den Binärcode mit der Gewichtung der einzelnen Stellen im Verhältnis $1 : 2$ ergibt sich das R-2R-Netzwerk, welches im Bild 2.5 für 4 bit Wortlänge dargestellt ist. Die vereinfachte Analyse des

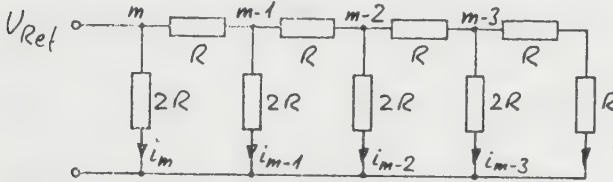


Bild 2.5

Das R-2R-Leiternetzwerk ist das Herzstück moderner Digital/Analog-Wandler

Netzwerks von rechts nach links ergibt folgendes:

Knoten $m-3$: Rechts vom Knoten erfolgt der Abschluß des Netzwerks mit $2R$. Zusammen mit dem Ableitwiderstand $2R$ an diesem Knoten ergibt sich eine Stromaufteilung zu gleichen Werten i_{m-3} . Die Spannung am Knoten ist dann: $u_{m-3} = i_{m-3} R = U_{Ref}/8$.

Knoten $m-2$: Der rechts vom Knoten $m-2$ liegende Teil des Netzwerks hat den Widerstand $2R$, sodaß auch hier eine Stromverzweigung zu gleichen Teilen mit i_{m-2} erfolgt. Dabei gilt $i_{m-2} = 2 i_{m-3}$ und daraus $u_{m-2} = 2 u_{m-3} = U_{Ref}/4$.

Bei dieser Anordnung sind die Ströme also wie $2^{-1} : 2^{-2} : 2^{-3} \dots$ gewichtet und entsprechen damit gerade der Wertigkeit der Stellen eines Digitalwortes. Weiterhin sind die Ströme der Spannung U_{Ref} direkt proportional.

Dieses Widerstandsnetzwerk wird jetzt durch Einfügung digital ansteuerbarer Halbleiterschalter S_μ zu einem multiplizierenden Digital/Analog-Wandler ergänzt, wie dies im Bild 2.6 dargestellt ist.

Die Halbleiterschalter sind als CMOS-Umschalter ausgeführt, die damit keine Restspannungen aufweisen; sie schalten die Ströme der einzelnen Ableitungen zu zwei Stromsammelschienen i_1 und i_2 durch. Im Hinblick

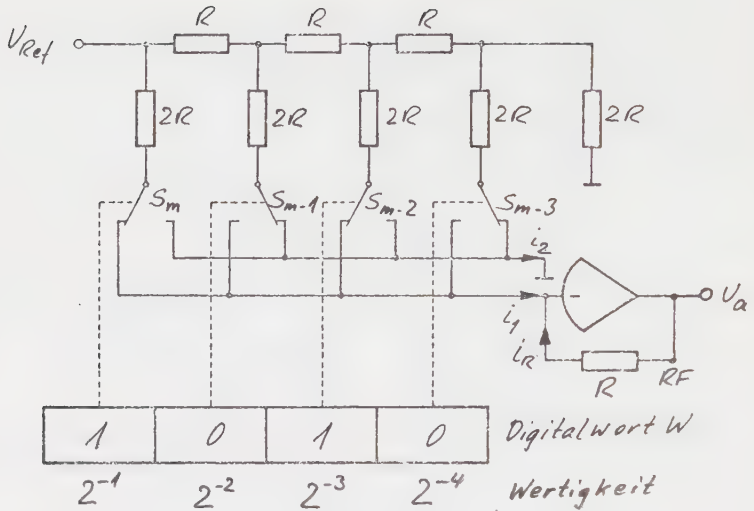


Bild 2.6

Das geschaltete R-2R-Netzwerk im Eingangskanal eines Verstärkers gestattet die aktive Abschwächung einer konstanten Referenzspannung

auf häufige Anwendungsfälle ist an der Stromsammelschiene i_1 noch ein extern zugänglicher Widerstand der Größe R, der in neueren Ausführungen noch unterteilt ausgeführt ist (/16/), mit auf der integrierten Schaltung untergebracht. Dies hat den Vorteil thermischen Gleichlaufs zwischen diesem Widerstand und dem Netzwerk und behebt den Anwender mancher Temperaturprobleme, die sich durch die räumliche Trennung von diskreten Widerständen durch deren physikalische Größe auf Platinen innerhalb einer Umgebung mit merklichem Temperaturgradienten ergeben können.

In dem Bild 2.6 ist die Zuordnung der Schalterstellungen zu einem steuernden Digitalwort $W = (1010)_2$ gezeigt. Danach ist i_m durch S_m und i_{m-2} durch S_{m-2} auf die Stromsammelschiene i_1 und der Strom i_{m-1} durch S_{m-1} sowie i_{m-3} durch S_{m-3} auf die Stromsammelschiene i_2 durchgeschaltet. Die Summation der oben hergeleiteten, im Verhältnis 2:1 abgestuften Ströme auf den Sammelschienen ist natürlich nur dann erfüllt, wenn die Schalter $S_{m-\mu}$ ($\mu = 0 \dots m$), wobei m als die Länge des Digital/Analog-Wandlers bezeichnet wird, diese Ströme gegen das Bezugspotential von U_{Ref} schalten.

Dies kann rein physikalisch eine Erdklemme oder aber auch der virtuelle Nullpunkt eines gegengekoppelten Operationsverstärkers innerhalb seines linearen Aussteuerungsbereichs sein. Beide Arten werden in der im Bild 2.6 dargestellten Applikation (/15/) benutzt, in der aus dem Strom i_1 eine ihm proportionale Spannung U_a mit Hilfe eines Operationsverstärkers gewonnen wird. Die Rückführung des Verstärkers erfolgt dabei über den Zusatzwiderstand R.

Für die Ströme am Summenpunkt des Verstärkers gilt: $i_1 + i_R = 0$, oder

$$2 i_m \sum_{\mu=1}^m a_{\mu} 2^{-\mu} + i_R = 0 ; \mu = 1 \dots m, a_{\mu} = \{0, 1\}$$

woraus sich mit den bekannten Widerstandswerten

$$U_a = - \sum_{\mu=1}^m a_{\mu} 2^{-\mu} \cdot U_{Ref}$$

ergibt.

Damit ist aber eine Anordnung verwirklicht, welche eine digital gesteuerte Abschwächung erlaubt:

$$U_a / U_{Ref} = - \sum_{\mu=1}^m a_{\mu} 2^{-\mu}$$

das entspricht der vorne angegebenen Gleichung

$$V_G = - \frac{\alpha}{\beta} ; \alpha = \sum_{\mu=1}^m a_{\mu} 2^{-\mu}, \beta = 1.$$

Durch die digitale Steuerung kann der Verstärkungsfaktor der Anordnung nach Bild 2.6 von Null ab in Inkrementen von 2^{-m} erhöht wrden bis zum Wert $1 - 2^{-m}$ (alle a_{μ} im Digitalwort sind 1).

Die im Beispiel dargestellte Bitkombination $(1010)_2$ ergibt einen Verstärkungswert von

$$\alpha = 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4} = 5 \cdot 2^{-3} = 5/8$$

und damit eine Ausgangsspannung von $U_a = -0.625 U_{Ref}$.

2.5 Kompensation des Verstärkungsfehlers

Mißt man die Ausgangsspannung U_a derartiger Wandler im eingeschwungenen Zustand und vergleicht sie mit den theoretisch zu erwartenden

Werten, dann ergeben sich für diese Differenz recht unterschiedliche und unter Umständen überraschend hohe Werte. Bild 2.7 zeigt die Abweichungen der Ausgangsspannungen von zwei multiplizierenden Digital/Analog-Wandlern der Wortlänge 8 bit vom Nominalwert für die Erregung mit sämtlichen Bitkombinationen. Spezifiziert ist in beiden Fällen eine Linearität von 8 bit, das heißt, die Differenz darf nicht mehr als $\pm 1/2$ LSB oder hier $\pm 2^{-9}$ betragen. Diese Grenzwerte sind als gestrichelte Geraden parallel zur Nulllinie eingetragen und werden von dem einen Wandler erheblich, vom anderen nur geringfügig überschritten.

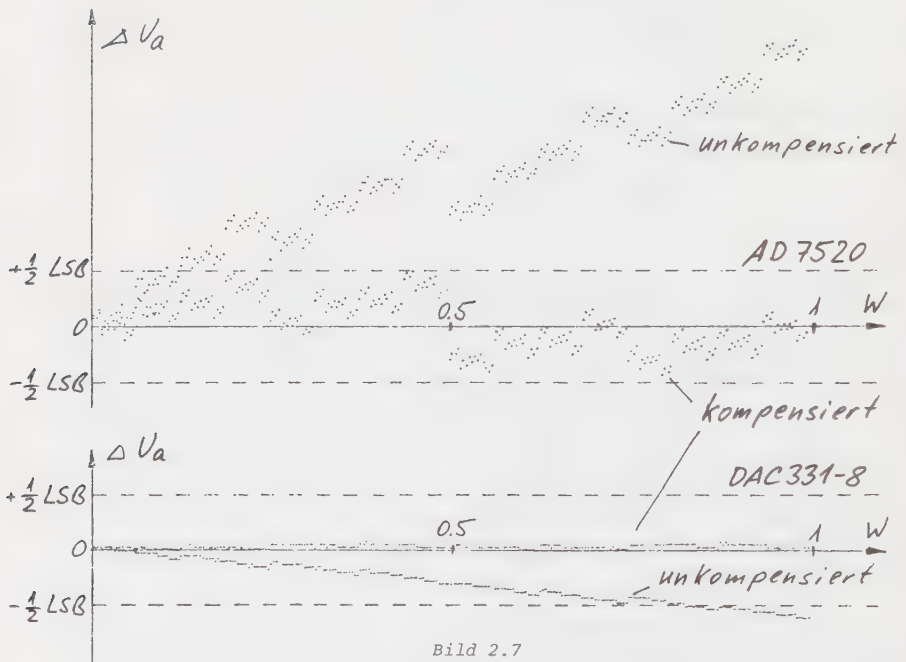


Bild 2.7

Die Abweichungen der Ausgangsspannungen von ihren Nominalwerten für zwei preisgünstige multiplizierende D/A-Wandler können durch Abgleich des Verstärkungsfehlers in das Toleranzband gebracht werden

Die Datenblattspezifikation (/15/,/17/) in Bezug auf diesen Kennwert ist im ersten Fall als typischer Wert angegeben und darum für das Einzelexemplar nur eingeschränkt aussagefähig, wohingegen die Angabe eines Maximalwertes im zweiten Fall offenbar auf besser beherrschte Technologie oder eine gute Testabteilung hindeutet und größeres Ver-

trauen in die spezifizierten Eigenschaften des einzelnen Bauelements rechtfertigt.

Es dürfte realistisch sein, für jeden Fall von einem Verstärkungsfehler von ± 5 LSB auszugehen, was bei 8 bit-Einheiten ungefähr 2% entspricht.

Die in (/15/) vorgeschlagene Kompensationsmaßnahme sieht zwei Einsteller P_F und P_R vor, die für den Anwendungsfall im Bild 2.8a angegeben sind. P_F wird dann eingesetzt, wenn das Verhältnis R_R/R_F zu klein ist, wohingegen P_R bei zu großem Verhältnis angewendet wird.

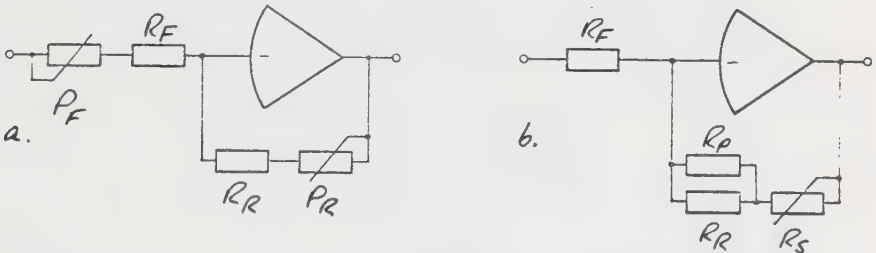


Bild 2.8

Kompensation des Verstärkungsfehlers
a. durch zwei Einsteller P_R und P_F
b. durch nur einen Einsteller R_S

Die hier vorgeschlagene Methode sieht nur ein niederohmiges Einstell-
element für Abweichungen der Verstärkung nach beiden Richtungen vor.
Die Grundsaltung geht aus Bild 2.8b hervor.

Danach wird der abzugleichende Widerstand R_R zusätzlich mit den beiden
Widerständen R_P und R_S beschaltet. Mit $R_P = a \cdot R_R$; $R_S = b \cdot R_R$
folgt für den Gesamtwiderstand R_G der Rückführung.

$$R_G = R_{Rnom} = \frac{R_R \cdot R_P}{R_R + R_P} + R_S = \left(\frac{a}{a+1} + b \right) \cdot R_R \quad 2.51$$

Aus dem Fall $R_G = R_{Rnom} = R_R$, für den kein Abgleich nötig ist, ergibt
sich für das Verhältnis der Koeffizienten von R_P und R_S : $b = 1/(a+1)$.
Selbstverständlich muß von einer solchen Abgleichschaltung gefordert
werden, daß sie weitgehend temperaturunabhängig ist. Da R_F und R_R in-
nerhalb des als integrierte Schaltung aufgebauten Digital/Analog-Wand-
lers thermisch gekoppelt sind, ist der Temperaturkoeffizient des Ver-

stärkungsfaktors durch diese Widerstände zunächst zu vernachlässigen. Unter der Annahme, daß R_p und R_s unter sich ebenfalls thermisch gekoppelt sind (das heißt, sich auf gleicher Temperatur T befinden), gilt für deren Temperaturabhängigkeit:

$$R_p(T) = (1 + \alpha \Delta T) R_{p_0}$$

$$R_s(T) = (1 + \beta \Delta T) R_{s_0}$$

mit $\Delta T = T - T_0$ und $R_{p_0} = R_p|_{T_0}$, $R_{s_0} = R_s|_{T_0}$

sowie den Temperaturkoeffizienten α und β .

Daraus folgt mit

$$R_p(T) = a(1 + \alpha \Delta T) R_R$$

$$R_s(T) = b(1 + \beta \Delta T) R_R$$

für R_G

$$R_G(T) = \left[\frac{a(1 + \alpha \Delta T)}{1 + a(1 + \alpha \Delta T)} + b(1 + \beta \Delta T) \right] R_R$$

Da R_p groß gegenüber R_R ist, also $a \gg 1$, gilt näherungsweise:

$$\frac{a}{1+a} \sim 1 - \frac{1}{a}$$

sodaß sich daraus für R_G ergibt:

$$R_G(T) = \left[1 + (b(1 + \beta \Delta T) - \frac{1}{a(1 + \alpha \Delta T)}) \right] R_R$$

Die Temperaturabhängigkeit von R_G verschwindet genau dann, wenn die Differenz in der runden Klammer zu Null wird:

$$\frac{1}{a+1} (1 + \beta \Delta T) - \frac{1}{a(1 + \alpha \Delta T)} = 0$$

oder

$$\frac{a}{1+a} (1 + \beta \Delta T)(1 + \alpha \Delta T) - 1 = 0$$

Für ein großes Verhältnis von R_p zu R_R ($a \gg 1$) gilt näherungsweise:

$$(1 + \beta \Delta T)(1 + \alpha \Delta T) = 0$$

und da α und β sehr klein sind, folgt:

$$\alpha = -\beta$$

Die Temperaturkoeffizienten α, β der Widerstände R_p und R_S müssen also entgegengesetzt gleich sein.

Für die Praktische Auslegung wird vorausgesetzt, daß R_S variabel sein soll und als Einstellelement dient. Ausgegangen wird ferner von der Forderung nach dem Abgleichbereich, zum Beispiel $\pm k\%$ vom Endwert.

Für $R_R = (1+k) R_{nom}$ (für $k > 0$ wird $b = 0$ sein) folgt aus der Gleichung 2.51:

$$a = \frac{1}{k} ; b = \frac{k}{1+k} \quad 2.52$$

Der Maximalwert des Widerstandswertes R_S wird jetzt zu $R_{Smax} = 2 \cdot b \cdot R_R$ festgelegt, denn er soll über eine Kompensation des Einflusses von R_p (durch $R_S = b \cdot R_R$) hinaus noch eine Vergrößerung von R_R um $k\%$ ermöglichen. Aus der Beziehung 2.52 mit 2.51 folgt für den Einfluß des Temperaturkoeffizienten α des Kompensationsnetzwerkes auf den Temperaturkoeffizienten α^* der Gesamtschaltung:

$$\alpha^* = k \cdot \alpha$$

Ist beispielsweise R_p ein Metallschichtwiderstand mit $\alpha = +250$ ppm/°C und R_S ein Kohleschichttrimmer mit $\beta = -250$ ppm/°C, dann ergibt sich das Diagramm Bild 2.9, in welches die Maximalwerte des Temperaturkoeffizienten des Verstärkungsfehlers durch den Wandler alleine mit 10 ppm/°C eingetragen sind.

Wird gefordert, daß

$$\alpha^* < 0.5 \alpha_{max}$$

dann ergibt sich, daß der Stellbereich nur $-2\% \leq k \leq +2\%$ beträgt. Die Erweiterung dieses Stellbereiches mit der vorgegebenen Schaltung ist nur durch Verwendung von Widerständen oder Widerstandskombinationen mit kleinerem α möglich.

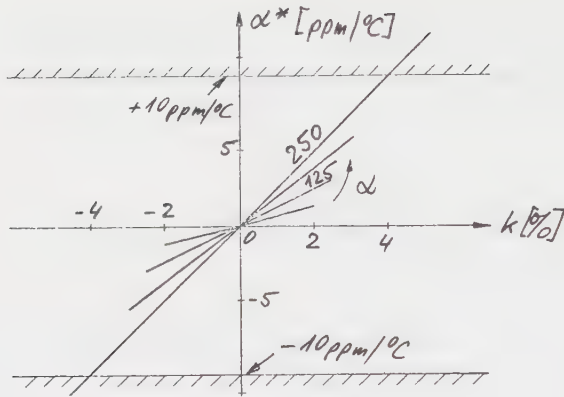


Bild 2.9

Resultierender Temperaturkoeffizient der Verstärkung für die Kompensationsschaltung nach Bild 2.8b in Abhängigkeit vom Temperaturkoeffizienten der Kompensationswiderstände

Auf jeden Fall ist der Einfluß des Temperaturkoeffizienten der Abgleichschaltung auf die Verstärkung auf die Hälfte des Wertes in (/15/) reduziert worden.

Für die praktische Anwendung wird die folgende Tabelle 2.1 angegeben, welche für Wandler mit $R_F = 10 \text{ k}\Omega$ und $R_F = 25 \text{ k}\Omega$ gilt. Die Abgleich-elemente sind nach der Normreihe E 12 beziehungsweise E 6 dimensioniert.

$k(\%)$	$R_R = 10 \text{ k}\Omega$		$R_R = 25 \text{ k}\Omega$	
	$R_P(\text{M}\Omega)$	$R_S(\text{Ohm})$	$R_P(\text{M}\Omega)$	$R_S(\text{Ohm})$
0.1	10	22	22	47
0.2	4.7	47	12	100
0.4	2.2	100	5.6	220
0.8	1.2	220	2.7	470
1.6	0.56	330	1.5	1000
3.2	0.27	680	0.68	2200

Tabelle 2.1

Werte der Einstellelemente nach Bild 2.8b

3. HALBLOGARITHMISCHE ANALOG/DIGITAL-UMSETZER

Nach der Definition der Gleitkommazahlen und ihrer wesentlichen Eigenschaften wird der grundsätzliche Ansatz zur Realisierung von Gleitkomma-Wandlern gebracht. Die Vielfalt der Lösungsmöglichkeiten wird aufgezeigt und klassifiziert. Davon ausgehend erfolgt die Herleitung der Prinzipien eines neuartigen halblogarithmischen Wandlers mit bestmöglicher Ausnutzung seiner Bauelemente. Ein Ausführungsbeispiel, noch in diskreter Realisierung durch Baugruppen mittlerer Komplexität, wird gebracht. In diesem Kapitel beginnt der eigentliche eigene Beitrag.

3.1 Definition des Gleitkommawandlers

Eine Zahl N wird im Gleitkommazahlensystem definiert als:

$$N = \text{Vorzeichen} \times \text{Mantisse} \times B^{\text{Vorzeichen} \times \text{Exponent}}$$

$$= V_M \times M \times B^{V_E \times E}$$

mit B als der Basis des verwendeten Zahlensystems.

Die Zahlendarstellung in Digitalrechnern mit $B = 2$ ist wie folgt:

$$N = (V_M V_E E_1 \dots E_q M_1 \dots M_m)_2$$

mit $(M_1 \dots M_m)_2$ Stellenzahl der Mantisse

und $(E_1 \dots E_q)_2$ Stellenzahl des Exponenten.

Die Wortlänge ist demnach

$$n = m + q + 2$$

Die Aufteilung von Mantisse und Exponent wird in mehrere Worte vorgenommen, wie dies im Bild 3.1 für eine Zweiwort-Darstellung von Zahlen im Rechner angegeben ist.

Eine wichtige Kenngröße einer Zahlendarstellung ist der dynamische Bereich DB als das Verhältnis der Beträge von größter zu kleinster darstellbarer Zahl:

$$DB = N_{\max} / N_{\min} ;$$

$$\text{mit } N_{\max} = \left(1 - \frac{1}{2^m}\right) 2^{(2^q - 1)} \quad \text{und} \quad N_{\min} = \frac{1}{2^m} 2^0$$

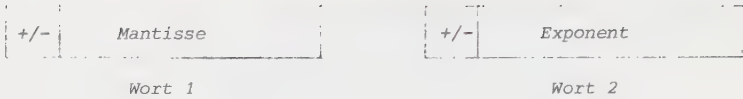


Bild 3.1

Zweiwort-Zahlendarstellung im Digitalrechner. Die Mantisse sowie der Exponent jeweils mit ihrem Vorzeichen sind in je einem Wort zusammengefaßt

ergibt sich für die Gleitkommadarstellung G ein dynamischer Bereich DB_G von:

$$DB_G = (2^m - 1) 2^{(2^q - 1)},$$

oder für große Mantissenlängen m angenähert:

$$DB_G \approx 2^{(m + 2^q - 1)}.$$

Der dynamische Bereich einer halblogarithmischen Zahlendarstellung, wie die Gleitkommadarstellung von Zahlen auch genannt wird, hängt damit im wesentlichen von der Stellenzahl oder Länge des Exponenten ab.

Beispiel 3.1

Für eine Gleitkommazahlendarstellung in einem 8 bit Rechner, in dem für die Darstellung einer Zahl zwei Worte verwendet werden, ergibt sich mit $m = 7$, $q = 7$ ein dynamischer Bereich von

$$DB_G = 2^{(7 + 2^7 - 1)} = 2^{134} \sim 2.18 \cdot 10^{40}.$$

Arbeitet der Rechner hingegen mit Festkommadarstellung F, so gilt mit $m = 15$:

$$DB_F = 2^{15} = 3.2768 \cdot 10^4.$$

Beispiel 3.2

Für die im vorigen Beispiel vorausgesetzte Zweiwort-Darstellung ergibt sich ein maximaler relativer Fehler von

$$F(z)_{Gmax} = (2^7 + 1)^{-1} \triangleq 0.775\%$$

für die Gleitkommadarstellung und

$$F(z)_{Fmax} = (2^{15} + 1)^{-1} \triangleq 0.00152\%$$

für die Festkommadarstellung.

Die Zahlendarstellung erfolgt, wie schon vorausgesetzt wurde, mit endlicher Wortlänge n . Damit ist eine endliche Menge $\{N\}$ von darstellbaren Zahlen n_i definiert. Eine umkehrbar eindeutige Abbildung der unendlichen Menge $\{z\}$ von beliebigen reellen Zahlen z innerhalb des gleichen Bereichs ist nicht möglich. Die Folge davon ist die mit einem Fehler behaftete Darstellung einer Zahl z .

Sei $n_i(z)$ die z am nächsten liegende darstellbare Zahl, dann gilt für den Betrag des relativen Fehlers F :

$$F(z) = |z - n_i(z)| / |z|.$$

Die Fehlerfunktion hat Nullstellen bei den darstellbaren Zahlen n_i und Maxima bei

$$z = (n_i + n_{i+1}) / 2.$$

Den Verlauf der Fehlerfunktionen über z für beide Zahlendarstellungen zeigt das Bild 3.24. Die Maximalwerte des relativen Fehlers nehmen bei der Festkommadarstellung monoton ab, wohingegen sie bei der Gleitkommadarstellung unterhalb einer oberen Schranke

$$F(z)_{\max} = (2^m + 1)^{-1}$$

liegen. Das bedeutet insbesondere, daß der relative Fehler ausschließlich von der Länge der Mantisse abhängt.

Die Maxima liegen bei

$$z_{\max} = (2^m + 1) 2^p, \quad 0 \leq p \leq q.$$

Normiert man den Zahlenbereich einer Gleitkommadarstellung auf den einer Festkommadarstellung gleicher Wortlänge, dann ergibt sich für die Umgebung des Ursprungs eine Darstellung gemäß Bild 3.26. Schon aus diesem einfachen Beispiel ist ersichtlich, daß bei der Gleitkommadarstellung die Auflösung in der Nähe des Ursprungs gestiegen ist, dafür aber der Betrag des relativen Fehlers am oberen Ende des Zahlenbereichs größer geworden ist.

Hält man sich vor Augen, wie genau Regelstrecken identifiziert werden können und welche notwendige Stufung sich daraus etwa für die einzustellenden Reglerparameter bei einfacheren Reglern herleitet, dann erscheint die Genauigkeit der Gleitkommazahlendarstellung aus dem Beispiel 3.2 ausreichend zu sein.

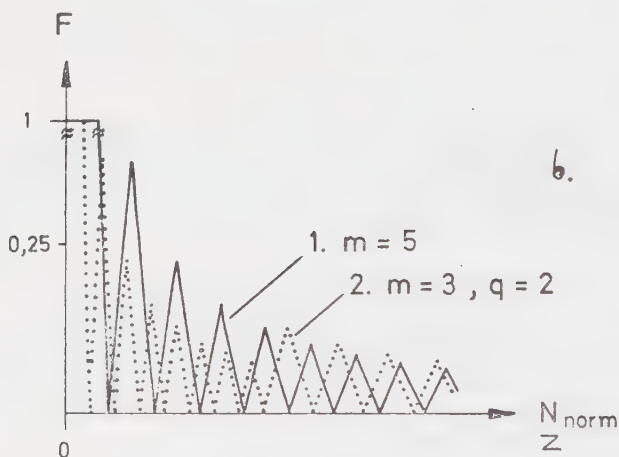
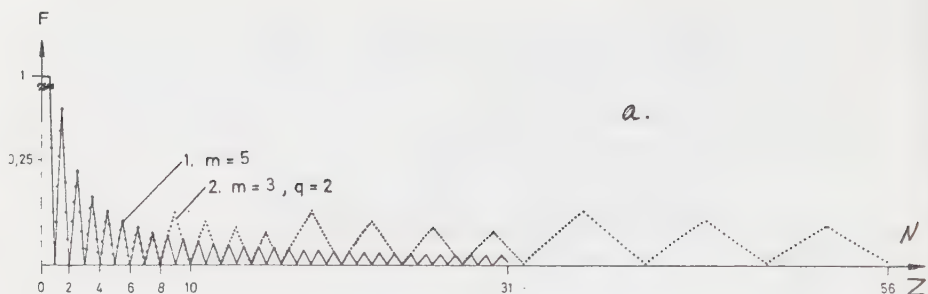


Bild 3.2

- a. Der Betrag des relativen Fehlers für die Festkomma- und Gleitkommazahldarstellung
- b. Normierung des Zahlenbereichs auf den gleichen Endwert zeigt die Überlegenheit der Gleitkomma Darstellung in der Nähe des Ursprungs

Betrachtet man sich nun die Zahlendarstellung in ausgeführten Mikroreglern, etwa in denen von BIRCK (/5/) oder LAUBER (/9/), dann stellt man fest, daß sie durchweg in Zweiwort-Arithmetik und Festkommaformat arbeiten. Dafür sprechen im wesentlichen zwei Gründe: Zum einen ist die Dynamik (siehe Beispiel 3.1) für regelungstechnische Zwecke ausreichend. Zum anderen, und hier spielt die Art der Realisierung eine gewisse Rolle, sind Gleitkommaarithmetiken wesentlich aufwendiger zu programmieren.

Zudem beanspruchen sie eine erheblich größere Ausführungszeit für die einzelnen arithmetischen Operationen, welche die Verwirklichung von Gleitkommareglern mit Mikroprozessoren bisher verhindert hat.

Ein Analog/Digital-Wandler, der ja den Mikroregler mit Prozeßinformation versorgt, muß also einerseits dem Dynamikbereich der Zweiwort-Darstellung im Regler gerecht werden, andererseits aber auch, und das ist die Forderung von der gerätetechnischen Seite her, an die Genauigkeit der Meßumformer angepaßt sein. Der relative Fehler dieser Elemente liegt aber im Bereich von 1 ... 2%, sodaß von ihnen eine Mantissenlänge von nur 7 bit gefordert wird.

Um nun beide Anforderungen an den Analog/Digital-Wandler in Einklang zu bringen, ist dieser so auszugestalten, daß er den relativen Fehler einer 7 bit langen Zahl (ohne Vorzeichen), sowie die Dynamik möglichst einer 15 bit langen Zahl besitzt.

Ein Wandler mit diesen beiden Eigenschaften wird im folgenden als Gleitkommawandler (GAD-Wandler) im Gegensatz zum Festkommawandler (FAD-Wandler), dessen relativer Fehler und Dynamik sich auf die gleiche Grundzahl beziehen, bezeichnet.

Die vorgenannten Forderungen werden dann von einem GAD-Wandler mit einer Mantissenlänge $m = 7$ und einer Exponentenlänge $q = 3$ approximiert, denn sein dynamischer Bereich ist:

$$DB_{GAD} = (2^7 - 1) 2^{(2^3 - 1)} = 16256 \sim 2^{14}.$$

3.2 Klassifizierung der Gleitkommawandler

Es gibt prinzipiell vier Möglichkeiten, einen Analogwert in eine digitale Gleitkommazahl umzuwandeln:

1. Vorverzerrung des analogen Signals durch einen nichtlinearen Verstärker und nachfolgende Festkomma Analog/Digitalwandlung (FAD),
2. FAD-Wandlung und nachfolgende digitale Codierung zu einer Gleitkommazahl,
3. Verwendung eines kompandierenden Analog/Digital-Wandlers
4. Hybride Gleitkomma Analog/Digital-Wandlung.

Die ersten drei Methoden wurden schon von CANTARANO und PALLOTTINO (/21/) in ihrem Übersichtsaufsatz zusammengestellt. Die vierte Methode ist neu und beruht auf eigenen Arbeiten (/22/,/23/,/24/).

Die Datenkompression mit analogen Mitteln, wie sie etwa SHEINGOLD (/25/) beschreibt, ist recht aufwendig und teuer. Die dazu notwendigen logarithmischen Verstärker haben zudem noch zwei gravierende Nachteile: Zum einen ist der Logarithmus nur für positive Argumente definiert, so daß mindestens noch ein Betragsbildner vorgeschaltet werden muß. Zum anderen ist der Logarithmus einer Zahl in normalen Rechenwerken nicht ohne weiteres zu verarbeiten, so daß entweder durch Überführung in eine halb-logarithmische Zahlendarstellung oder durch digitale Umcodierung zum Festkommawort vorbearbeitet werden muß.

Bei der Verwirklichung der zweiten Methode wird die Länge des FAD-Wandlers ausschließlich vom gegebenen dynamischen Bereich bestimmt. Die daraus resultierende feine Amplitudenstufung hat ihre volle Berechtigung im Bereich kleiner Eingangsspannungen. Da aber die Stufung der Gleitkommazahlendarstellung zu größeren Werten hin gröber wird, ist die Ausnutzung des FAD-Wandlers nicht vollständig möglich und damit unter Umständen unwirtschaftlich. In neuerer Zeit wurde ein solcher Wandler von EULER, SCHLICHTE und PFRENGER (/26/) vorgestellt. Es wird dabei ein 12 bit Wandler benutzt, um die Übertragung von Sprachsignalen in nicht-linearer Codierung mit 8 bit durchzuführen.

Analog/Digital-Wandler, welche von vornherein eine hohe Auflösung in der Umgebung des Nullpunkts besitzen und deren Stufenhöhe bereichsweise mit der Aussteuerung höher wird, sind als kompandierende Wandler (/12/, /27/) insbesondere für eine effektive digitale Sprachübertragung entwickelt worden. Es handelt sich dabei im Prinzip um halblogarithmische Digital/Analog-Wandler, die als integrierte Schaltungen erhältlich sind mit einer Mantissenlänge von 4 bit und einer Exponentenlänge von 3 bit für den Wandler nach dem μ -Gesetz. Der besondere Vorteil liegt dabei in der resultierenden Wortlänge von 8 bit (einschließlich dem Vorzeichen der Mantisse), mit welcher viele Datenbusse und digitale Übertragungsglieder in voller Breite ausgenutzt werden können. Der dynamische Bereich beträgt:

$$DB_{\mu\text{COMDAC}} = (2^5 - 1) 2^{(2^3 - 1)} = 3968$$

und der relative Fehler

$$F(z)_{\max} = (2^5 + 1)^{-1} = 3.03\% .$$

Die Berechtigung, normalverteilte Signale, wie dies Sprachsignale in erster Näherung sind, mit einer derart kurzen Wortlänge zu wandeln, kann auch aus der folgenden Grenzbetrachtung hergeleitet werden. Dazu wird ein

Analog/Digital-Wandler ganz allgemein als n-Punktschalter aufgefaßt werden, der sich aus mehreren Dreipunktschaltern zusammengesetzt gedacht werden kann. Für die äquivalente Verstärkung des Dreipunktschalters in Abhängigkeit von der Streuung σ_x gilt:

$$K(\sigma_x) = \sqrt{\frac{2}{\pi}} \cdot \frac{h}{\sigma_x} \cdot e^{-\frac{d^2}{8\sigma_x^2}}$$

Eine ausführliche Herleitung findet sich bei SCHLITT (/28/).

Die Dreipunktschalter werden jetzt so dimensioniert, daß die schraffierten Flächen beiderseits einer Stufe in der Kennlinie Bild 3.3 gleich sind.

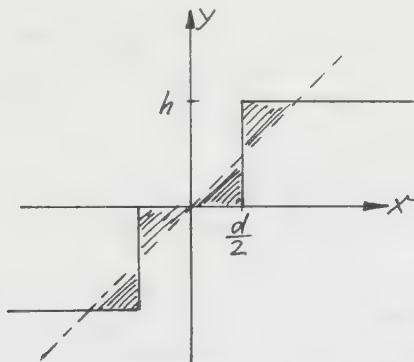


Bild 3.3

Dreipunktschalter mit bestmöglicher Annäherung an die 45°-Gerade als Grundlage für die $(2^m - 1)$ -Punktschalter

Interessant sind jetzt vergleichsweise die Fälle, in denen die Anzahl der Punkte genau $2^m - 1$ beträgt; denn das ist die größte darstellbare Zahl mit einer Wortlänge von m bit. $(2^m - 1)$ -Punktschalter sind demnach als m-bit-Schalter zu bezeichnen und die zugehörige äquivalente Verstärkung kennzeichnet den m bit Wandler. Sei r die Anzahl der Punkte, dann gilt für die beste Annäherung an die 45° Gerade:

$$h = \frac{2}{r-1} \quad \text{und} \quad d_v = (2v-1) \frac{2}{r-1} \quad v = 1 \dots \frac{r-1}{2}$$

Für die äquivalente Verstärkung gilt dann:

$$K(\sigma_x) = \sqrt{\frac{2}{\pi}} \cdot \frac{h}{\sigma_x} \sum_{v=1}^{\frac{r-1}{2}} e^{-\frac{d_v^2}{8\sigma_x^2}}$$

Im Bild 3.4 sind die äquivalenten Verstärkungen für Festkommawandler der Längen $m = 2 \dots 8$ in halblogarithmischer Darstellung verzeichnet. Be-

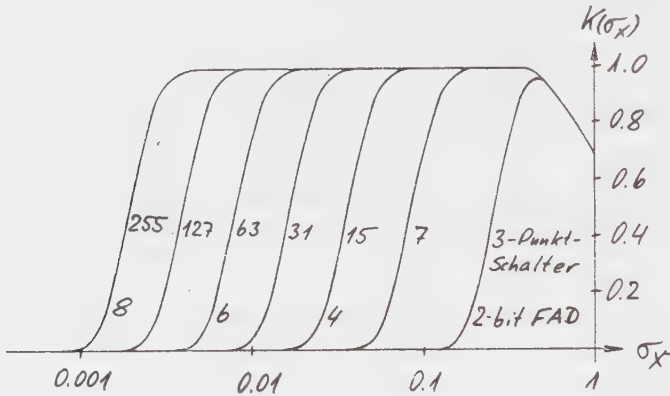


Bild 3.4

Die äquivalente Verstärkung für (2^m-1) -
Punktschalter oder m bit Festkomma A/D-
Wandler

rechnet man jetzt $K(\sigma_x)$ für einen Grenzfall, nämlich den reinen Exponentenwandler, dessen Stufen sich wie $1 : 2 : 4 : 8 \dots$ verhalten, dann ergibt sich eine Darstellung gemäß Bild 3.5, aus der deutlich der wesentlich vergrößerte dynamische Bereich ersichtlich ist. Die am oberen Bildrand vergrößert herausgezeichnete Schwankung deutet jedoch auf mangelnde Genauigkeit der Wandlung hin.

Hier einen günstigen Kompromiß zwischen Dynamik und Genauigkeit zu finden, zwang schließlich zur Hinzunahme einer, wenn auch kurzen Mantisse. Wie am Ende des vorigen Abschnittes gezeigt wurde, genügt die Mantissenlänge der komprimierenden Wandler nicht den Anforderungen regelungstechnischer Anwendungen. Hier gilt es einen Weg einzuschlagen, der einerseits wirtschaftlich tragbar (also möglichst ohne viele Präzisionskomponenten auskommt) sowie erweiterungsfähig ist und sich andererseits für eine künftige Mikroprozessoranwendung eignet. Wirtschaftlich tragbar heißt in diesem Zusammenhang aber auch, den eigentlichen Analog/Digital-Wandler nicht genauer als unbedingt nötig wählen zu müssen, das heißt, seine Wortlänge ausschließlich von dem geforderten relativen Fehler bestimmen zu lassen.

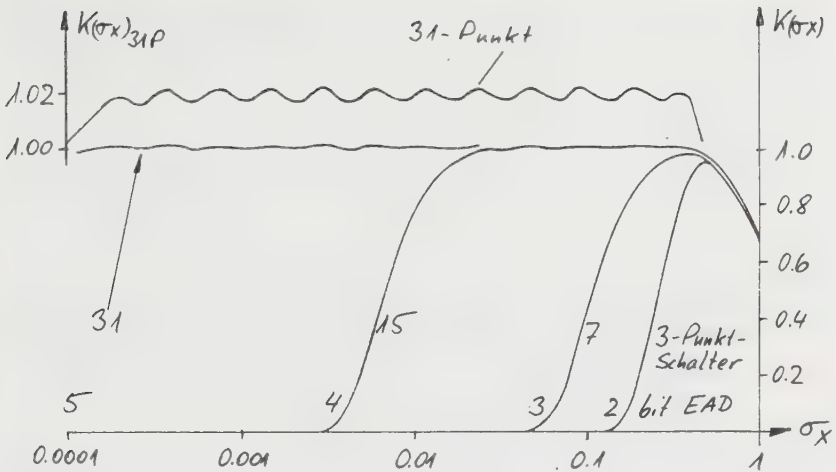


Bild 3.5

Der Grenzfall des reinen Exponentenwandlers mit seinem großen dynamischen Bereich. Oben ist die Schwankung der äquivalenten Verstärkung des 31-Punktschalters zehnfach vergrößert dargestellt

Daraus folgt zwangsläufig, daß eine analoge Normierung, wie sie im Bild 3.6 dargestellt ist, vorgesehen werden muß. Von den Verfahren, die unter Punkt 1 genannt wurden, unterscheiden sich die hybriden Gleitkommawandler aber einmal in der Art der Vorverarbeitung des Analogsignals als auch in der Wahl der Kennlinie und dem Entscheidungsprozeß, wie diese Kenn-

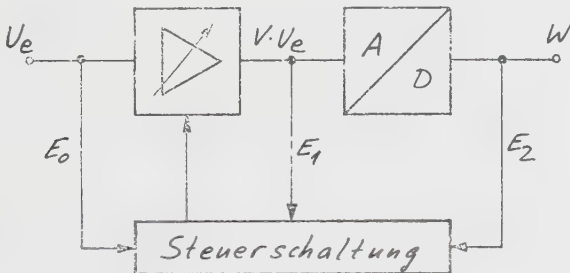


Bild 3.6

Für die analoge Normierung der Eingangsspannung stehen drei Entscheidungsgrößen zur Verfügung

linie anzusteuern ist. Es stehen dazu im wesentlichen drei Entscheidungsgrößen zur Verfügung: Die erste, E_0 , wird von dem zu erfassenden Signal selbst gebildet, die zweite, E_1 von dem verstärkten Signal, denn die Normierungsschaltung wird ja einen Verstärker enthalten müssen. Letztlich besteht noch die Möglichkeit, von der später auch Gebrauch gemacht wird, die Ausgangsgröße des Wandlers als Entscheidungskriterium E_2 heranzuziehen.

Die hybriden Verfahren lassen sich wie folgt klassifizieren:

Klasse A: Gesteuerte Systeme nach Bild 3.7a

Der Exponent wird in einer gesonderten Schaltung bestimmt und steuert ein Stellglied derart, daß der nachfolgende FAD-Wandler zur Gewinnung der Mantisse voll angesteuert wird.

Klasse B: Systeme mit Rückführung über den Wandler nach Bild 3.7b

Der FAD-Wandler selbst bestimmt den Exponenten und bewirkt wie oben die Vollaussteuerung des gleichen Wandlers zur Mantissenbildung.

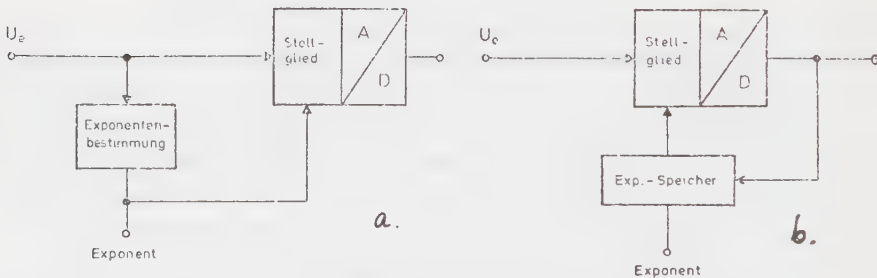


Bild 3.7

Klassifizierung der hybriden GAD-Wandler, hergeleitet von dem Ort, an dem die Entscheidungsgröße gewonnen wird

Es handelt sich dabei also um Wandler, welche einen Analogwert im Prinzip in drei Schritten konvertieren: Zuerst erfolgt die Bestimmung des Bereichs, in dem die Eingangsspannung liegt und damit die Gewinnung des Exponenten. Danach erfolgt eine Verstärkung des Eingangssignals und im dritten Schritt die eigentliche Wandlung zur Bestimmung der Mantisse, die jetzt, wenn die Vorverstärkung geeignet gewählt wurde, den Analog/Digital-Wandler voll aussteuert.

Das im Bild 3.7 angedeutete Stellglied läßt sich auf zwei Arten realisieren:

1. Steuerung des Verstärkungsfaktors eines dem FAD-Wandler vorgeschalteten Verstärkers;
2. Steuerung der Referenzspannung des FAD-Wandlers.

Beiden Steuerungsmöglichkeiten, welche im Bild 3.8 dargestellt sind, ist gemeinsam, daß ein zusätzlicher multiplizierender Digital/Analog-Wandler notwendig ist, der es gestattet, die Verstärkung auf die Werte

$$V = 1, 2, 4, 8, \dots, 2^{2^q}$$

einzustellen, respektive die Referenzspannung um die gleichen Faktoren abzuschwächen. Dabei ist vorausgesetzt, daß die Referenzspannung dem Aussteuerungsbereich des FAD-Wandlers entspricht.

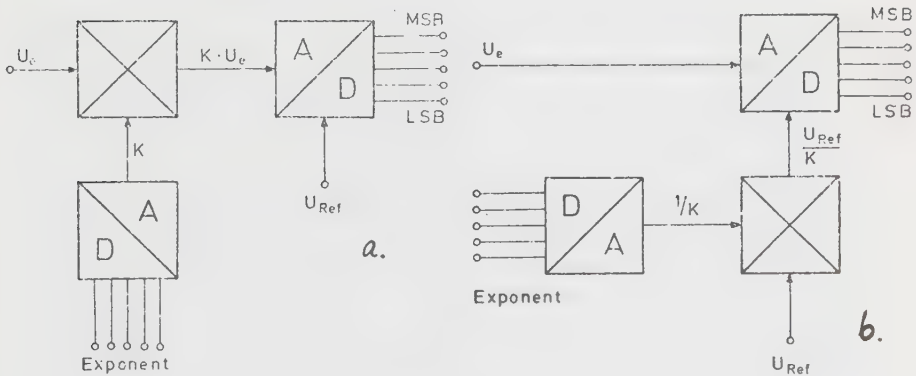


Bild 3.8

Stellglieder für die Anpassung von Eingangsspannungsbereich und Arbeitsbereich des FAD-Wandlers

Damit lassen sich folgende Klassen von hybriden Gleitkomma Analog/Digital-Wandlern unterscheiden:

Klasse A1: Bestimmung des Exponenten in einer gesonderten Schaltung und Einstellung der Vorverstärkung für einen nachgeschalteten FAD-Wandler.

Klasse A2: Bestimmung des Exponenten wie bei A1 und Einstellung der Referenzspannung des nachgeschalteten FAD-Wandlers.

Klasse B1: Doppelausnutzung des FAD-Wandlers zur Bestimmung des Exponenten und der Mantisse mit exponentenabhängiger Einstellung der Vorverstärkung zur Mantissenwandlung.

Klasse B2: Doppelausnutzung wie bei B1 und entsprechender Einstellung der Referenzspannung bei der Mantissenwandlung.

3.3 Bisherige Ansätze

Für den derzeitigen Stand der Technik der hybriden GAD-Wandler sollen folgende Beispiele stellvertretend genannt werden:

Ein ausgeführtes Beispiel nach der Klasse A2 findet sich bei HEATH und NAGLE (/29/). Die Exponentenbestimmung wird dort mit Hilfe eines zusätzlichen parallelen Analog/Digital-Wandlers durchgeführt und ist somit recht aufwendig. Die Exponentenlänge wird mit $q = 4$ angegeben, umfaßt aber nur den Bereich von fünf Zweierpotenzen, was nicht einmal eine Vollbelegung eines drei bit langen Exponentenwortes bedeutet. Hinweise auf die Verwendung der Systeme mit Rückführung B1 finden sich bei SHEINGOLD (/25/) und DOHANICH, ARNOLD und MOXIN (/30/). Beim Vorschlag von SHEINGOLD wird zunächst eine unipolare FAD-Wandlung durchgeführt und das höchstwertige Bit (MSB) des Digitalwortes abgefragt. Ist das MSB auf 1, dann ist der FAD-Wandler voll ausgesteuert und die Konvertierung damit schon abgeschlossen. Ist das MSB aber auf 0, wird die Vorverstärkung um den Faktor 2 erhöht und nochmal gewandelt. Daraufhin erfolgt solange wieder eine Abfrage des MSB mit eventueller Erhöhung des Verstärkungsfaktors, bis das MSB auf 1 ist. Das Verfahren ist recht langsam, da im ungünstigsten Fall 2^q FAD-Wandlungen durchgeführt werden müssen.

Der Vorschlag von ARNOLD, DOHANICH und MOXIN sieht eine Bank von Vorverstärkern mit Verstärkungsfaktoren vor, die sich wie $1 : 4 : 16 : 64 : 256$ verhalten und deren Ausgänge über einen analogen Multiplexer dem FAD-Wandler zugeführt werden. Die Adressierung dieses Multiplexers erfolgt

nach einem Programm, welches zuerst die höchste Verstärkungsstufe anwählt. Nach der Analog/Digital-Wandlung wird auf Übersteuerung des Wandlers abgefragt und gegebenenfalls solange die nächstniedrigere Verstärkerstufe angewählt, bis der Wandler nicht mehr übersteuert ist. Unter Verwendung moderner Methoden der Verstärkungseinstellung ließe sich die aufwendige Verstärkerbank vermeiden, aber der Zeitbedarf für eine vollständige GAD-Wandlung ist immer noch recht hoch. Vor allem ist die Vollaussteuerung des FAD-Wandlers wegen der Stufung der Verstärkungsfaktoren im Verhältnis 1 : 4 nicht immer gewährleistet.

3.4 Das neue Verfahren

Hält man sich vor Augen, daß die heutigen Wandler für den in Frage kommenden Anwendungsfall alle eine zyklische Struktur nach Bild 2.3 besitzen, dann bedeutet die Abschwächung der Referenzspannung der Methoden A2 und B2 eine härtere Forderung an die Auflösung des Komparators, die für $m = 7$ und $q = 3$ und einer maximalen Eingangsspannung von 5 Volt bei 305 μ Volt liegen muß. Um an dieser Stelle keine Präzisionskomponenten verwenden zu müssen, werden hier nur solche GAD-Wandler betrachtet, welche das Prinzip der einstellbaren Vorverstärkung (Klasse A1 oder B1) verwenden.

Bild 3.9 zeigt die Prinzipschaltung eines bipolaren GAD-Wandlers der Klasse A1. Er besteht im wesentlichen aus einem herkömmlichen bipolaren FAD-Wandler zur Mantissengewinnung, einem Vorverstärker mit einstellbarer Verstärkung als Stellglied, einem Dualkomparator als Entscheidungsschaltung und einem Zähler zur Ablaufsteuerung. Der Zähler erhöht den Verstärkungsfaktor ausgehend von $V = 1$ solange, bis der Ausgang des Komparators $A_K = 1$ ist. Damit wird die FAD-Wandlung der Mantisse initiiert und der Zählertakt gesperrt. Der Zähler enthält jetzt den Exponenten. Ist das Eingangssignal dem Betrage nach sehr klein, zählt der Zähler bis zu seinem höchsten Wert und sperrt dann selbst seinen Takt. Als Exponent steht dann der dem Betrag nach größte Wert zur Verfügung. Gleichzeitig wird die Mantissenwandlung eingeleitet. Die Vergleichsgrößen $\pm U_{Ref}/2$ des Dualkomparators sind dabei so gewählt, daß das MSB-1, also das zweithöchste Bit des bipolaren Wandlers auf 1 gesteuert werden kann. Das MSB dieses Wandlers enthält ja bekanntlich das Vorzeichen. Das Flußdiagramm Bild 3.10 zeigt den zeitlichen Ablauf der einzelnen Operationen.

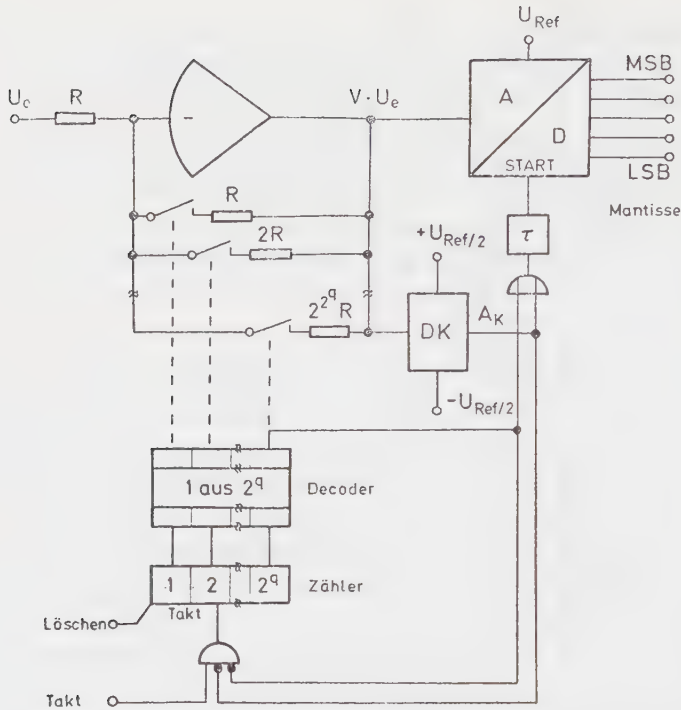


Bild 3.9

Prinzipschaltung eines GAD-Wandlers der Klasse A1, bei dem die Entscheidungsgrößen am Ausgang des Vorverstärkers abgenommen wird

Die Funktionsweise eines bipolaren GAD-Wandlers der Klasse B1 ist etwas komplizierter als beim vorangehenden Beispiel und soll deshalb näher beschrieben werden.

Im Vergleich zu SHEINGOLD und ARNOLD et. al., welche den FAD-Wandler praktisch nur als Komparator benutzt haben, wird hier ein neuartiges,

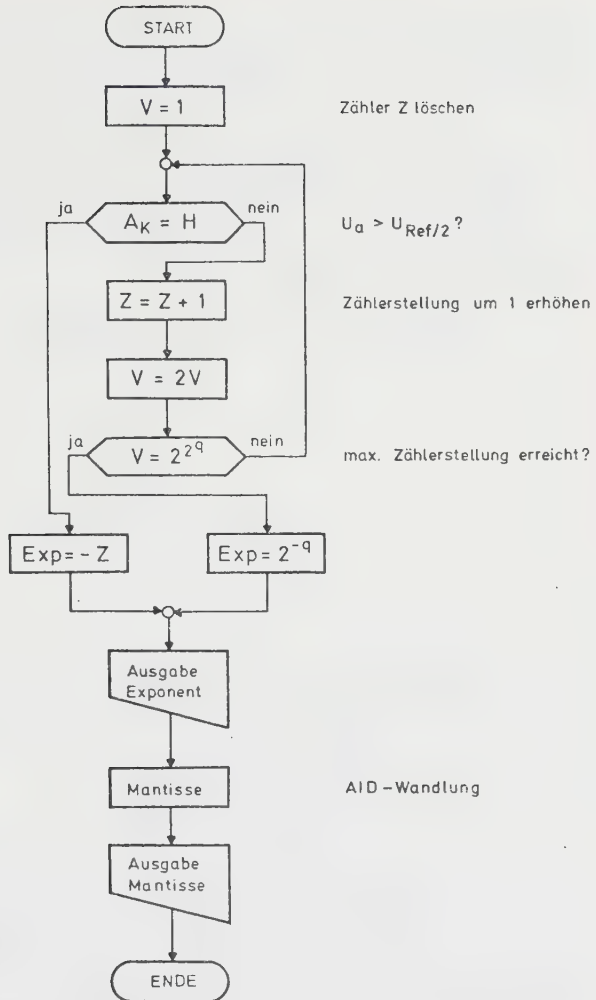


Bild 3.10

Flußdiagramm des GAD-Wandlers nach Bild 3.9, bei dem die Verstärkung in jedem Schritt um den Faktor 2 vergrößert wird

schnelleres Verfahren (/22/) vorgestellt, welches es gestattet, mit einer einzigen FAD-Wandlung mehrere Exponentenwerte bestimmen zu können. Dieses Verfahren leitet aus den Aussteuerungsverhältnissen des Analog/Digital-Wandlers in einem ersten Wandlungsschritt, der mit der niedrigsten Verstärkung durchgeführt wird, die Größe der erforderlichen Eingangsver-

stärkung ab, welche dann eingestellt wird. In einer nachfolgenden zweiten Wandlung, die dann eine Vollaussteuerung des Wandlers bewirkt, kann die Mantisse mit der vollen Auflösung des Wandlers festgestellt werden.

Dazu wird von einem bipolaren FAD-Wandler ausgegangen, dessen Zuordnung der Analogwerte zu den digitalen Ausgangsworten für $n = 3$ in der Tabelle 3.1 dargestellt ist. Dieser Wandler benutzt den offset-binary-Code, der dadurch gekennzeichnet ist, daß die negativen Zahlen ohne Vorzeichen das Komplement der positiven Zahlen sind.

<u>Analogwert</u>	<u>Digitalwort</u>		
V	MSB	MSB-1	LSB
3	1	1	1
2	1	1	0
1	1	0	1
0	1	0	0
-1	0	1	1
-2	0	1	0
-3	0	0	1
-4	0	0	0

Tabelle 3.1

Codierung eines 3 bit FAD-Wandlers im
Offset-binary-Code

Für die Vollaussteuerung des FAD-Wandlers zur Mantissengewinnung höchster Genauigkeit ist es nun erforderlich, daß das zweithöchste Bit (MSB-1) für eine positive Eingangsspannung (MSB-1) = 1 und für negative Eingangsspannungen (MSB-1) = 0 ist. Die Werte $-2V \leq U_e \leq 1V$ genügen diesem nicht und müssen soweit verstärkt werden, bis die obengenannte Forderung erfüllt ist. Der Ablauf der Exponentengewinnung muß nun derart gesteuert werden, daß abhängig vom Vorzeichenbit (MSB) die höchstwertige 1 beziehungsweise 0 gesucht wird. Dabei gilt im Falle positiver Eingangsgrößen die in der Tabelle 3.2 dargestellte mögliche Zuordnung der Exponenten zu der höchstwertigen 1 des Ausgangswortes.

MSB-1	= 1	$V = 1$	$Exp = 0$
MSB-1	= 0	$V = 2$	$Exp = -1$
MSB-2	= 1		
MSB-1	= 0	$V = 4$	$Exp = -2$
MSB-2	= 0		
MSB-3	= 1		
MSB-1	= 0	$V = 2^K$	$Exp = -K$
⋮			
MSB-K-1	= 0		
MSB-K	= 1		

Tabelle 3.2

Mögliche Zuordnung der Exponenten zur
höchstwertigen Eins

Eine vorgeschlagene Realisierung unter Verwendung von Festwertspeichern (ROM) oder programmierbaren logischen Arrays (PLA) zur Umcodierung zeigt Bild 3.11. Der vom Vorzeichenbit gesteuerte Komplementer bildet das

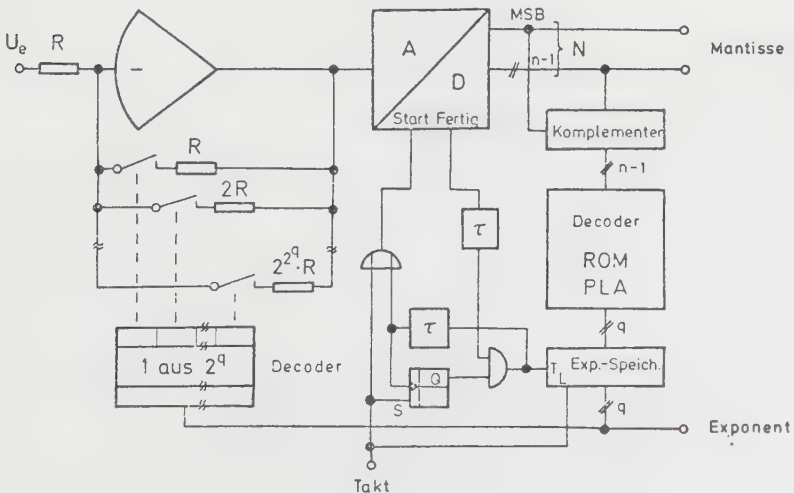


Bild 3.11

GAD-Wandler, der durch Auswertung der
Aussteuerverhältnisse am A/D-Wandler in
einem Schritt mehrere Exponentenwerte
bestimmen kann

Einerkomplement des Ausgangswortes vom Wandler und gestattet es insbesondere, die Größe des ROM oder PLA auf die Hälfte zu reduzieren. Im Bild 3.12 ist dann noch das Ablaufdiagramm des GAD-Wandlers nach Bild 3.11 dargestellt.

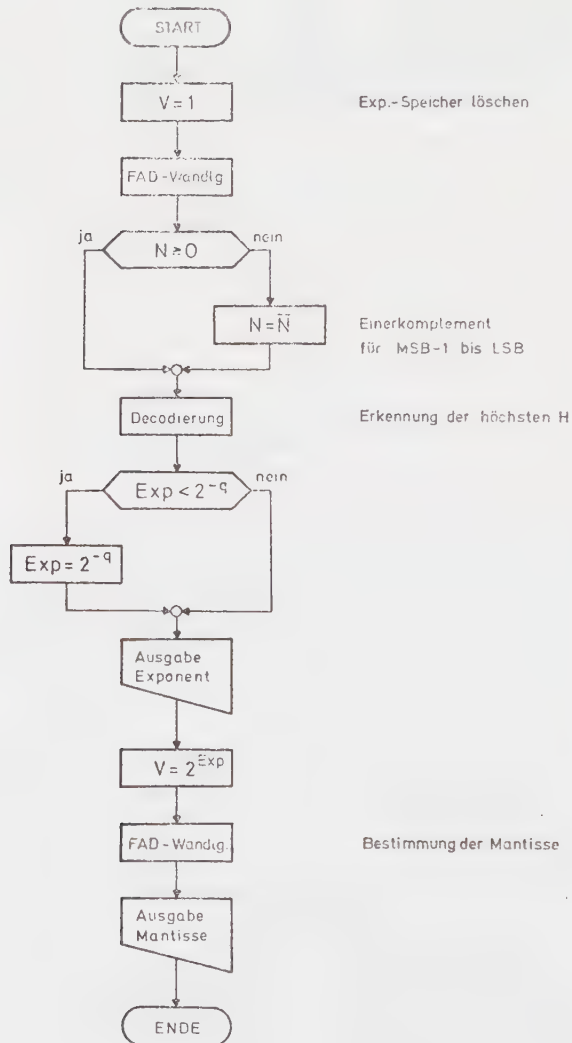


Bild 3.12

Flußdiagramm des GAD-Wandlers nach
Bild 3.11

Es ist offensichtlich, daß die Länge des FAD-Wandlers die Anzahl der decodierbaren Exponentenwerte begrenzt. Übersteigt die gewünschte maximale Größe des Exponenten 2^q die zur Exponentenbestimmung verwendbare Wortlänge $n-1$ des bipolaren n bit FAD-Wandlers, dann muß unter Umständen die Exponentenbestimmung nach Einstellung der Vorverstärkung auf den Wert $V = 2^{n-1}$ in einem oder mehreren gleichartigen Schritten durchgeführt werden. Die maximale Anzahl der notwendigen Schritte zur Gewinnung eines q bit langen Exponentenwortes mit Hilfe eines bipolaren FAD-Wandlers der Länge n ist in der Tabelle 3.3 aufgelistet. Die mit einem Stern versehenen Werte bezeichnen dabei die volle Ausnutzung aller Stellen des FAD-Wandlers. Diese Feststellung soll anhand von zwei Beispielen für positive Eingangsgrößen verdeutlicht werden.

Länge des bipolaren FAD-Wandlers <i>m</i> bit	Länge des Exponentenwortes <i>q</i> bit				
	2	3	4	5	6
2	3*	7*	15*	31	63
3	2	4	9	16	32
4	1*	3	5*	11	21*
5	1	2	4	8	16
6	1	2*	3	7	13
7	1	2	3	6	11
8	1	1*	3	5	9*
9	1	1	2	4	8
10	1	1	2	4	7
11	1	1	2	4	7
12	1	1	2	3	6

Tabelle 3.3

Maximale Anzahl der Schritte zur Bestimmung eines q bit langen Exponenten mit einem n bit bipolaren FAD-Wandler.* bedeutet volle Ausnutzung aller Stellen

Beispiel 1:

Es sei $n = 4$, $q = 2$: Durch Aufsuchen der jeweils höchstwertigen 1 lassen sich drei Exponentenwerte, etwa 0,-1,-2 bestimmen; durch Abfragen auf $(1000)_2$ gewinnt man noch -3 (die Eingangsspannung ist kleiner als der dem LSB entsprechenden Wert).

Beispiel 2:

Es sei $n = 6$, $q = 2$: Hier lassen sich nach dem bisher gesagten fünf Exponentenwerte bestimmen, sowie einer durch Abfrage auf $(100000)_2$. Da wegen $q = 2$ nur vier Exponentenwerte gewünscht werden, ist die Möglichkeit der Bestimmung von zwei zusätzlichen Exponenten ungenutzt.

3.5 Ein Ausführungsbeispiel

Das im vorigen Abschnitt hergeleitete Verfahren wurde im Rahmen einer vom Verfasser betreuten Arbeit (/31/) realisiert. Gefordert war eine Mantissenlänge von 8 bit einschließlich Vorzeichen und eine Exponentenlänge von 3 bit.

Abgesehen von der im Abschnitt 3.2 für GAD-Wandler in regelungstechnischen Anwendungen geforderten Spezifikation waren noch folgende Gründe für diese Wahl maßgebend: Zum einen haben sich zu der Zeit die FAD-Wandler vom Preis her angeboten. Andererseits sind viele digitale Bausteine für eine Breite von 4 oder 8 bit ausgelegt und können dann voll ausgenutzt werden. Drittens kamen zu der Zeit die multiplizierenden 8 bit Digital/Analog-Wandler als verstärkungsbestimmende Elemente des Vorverstärkers auf den Markt. Den letzten Grund liefert schließlich eine Auswertung der Tabelle 3.3, die zeigt, daß ein 8 bit Wandler für die Exponentenbestimmung mit $q = 3$ voll ausgenutzt wird.

Und hier liegt schon der erste Unterschied zum Prinzipschaltbild 3.11. Statt der dort eingesetzten, als diskrete Bauelemente eingezeichneten Rückführwiderstände wurde in der Realisierung die schon in der Patentanmeldung (/22/) genannte Einstellung des Verstärkungsfaktors mit einem multiplizierenden Digital/Analog-Wandler verwendet. Der zweite Unterschied betrifft die Art der Decodierung des Ausgangswortes vom FAD-Wandler, die hier durch ein Prioritätsregister durchgeführt wird.

Die Funktionsbeschreibung des multiplizierenden Digital/Analog-Wandlers ist bereits im 2. Kapitel im Abschnitt 2.4 erfolgt und soll hier nur für den Fall ergänzt werden, daß Verstärkungsfaktoren gefordert werden, die über Eins liegen. Dazu wird der geschaltete Teil des R-2R-Netzwerks in die Rückführung eines Operationsverstärkers gelegt. Bild 3.13 zeigt eine solche Anordnung, bei der die Signaleinspeisung über den Anschluß RF des

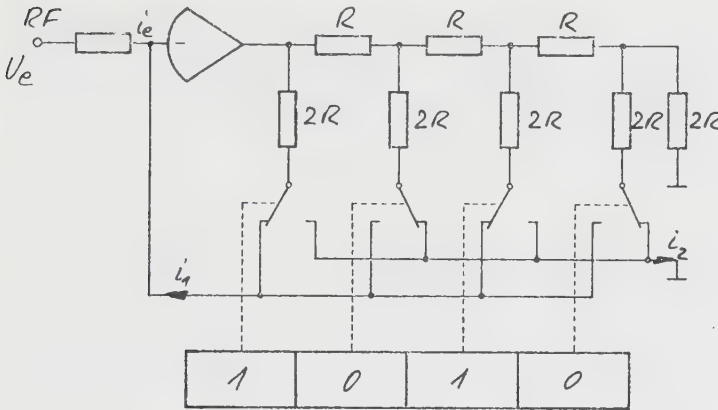


Bild 3.13

Der multiplizierende D/A-Wandler in der Rückführung eines Operationsverstärkers ergibt Verstärkungsfaktoren größer Eins

Netzwerks erfolgt, während der Eingang des R-2R-Netzwerks an den Verstärkerausgang gelegt wird. Aus der Gleichheit der Beträge der Ströme, welche in den Summenpunkt des Operationsverstärkers innerhalb seines linearen Arbeitsbereiches fließen, folgt

$$V_e = - \sum_{\mu=1}^m b_{\mu} 2^{-\mu} \cdot V_a$$

Die Verstärkung ist damit:

$$\frac{V_a}{V_e} = - \frac{1}{\sum_{\mu=1}^m b_{\mu} 2^{-\mu}}$$

oder in der Kurzschreibweise:

$$V_G = - \frac{\alpha}{\beta} \quad \alpha = 1 ; \beta = \sum_{\mu=1}^m b_{\mu} 2^{-\mu} .$$

Durch diese Schaltung kann der Verstärkungsfaktor also von

$$V_{min} = - \left(1 + \frac{1}{2^{m-1}} \right) \quad \text{bis auf} \quad V_{max} = - 2^m$$

gesteuert werden, abgesehen von dem Fall, in dem durch Auftrennung der Rückführung durch ein Digitalwort, welches an allen Stellen Nullen enthält, der Verstärkungsfaktor des offenen Verstärkers eingestellt wird. Für die im Bild 3.13 dargestellte Bitkombination (1010)₂ ergibt sich damit ein Verstärkungswert von

$$V = - 1 / (1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4}) = - 8/5 .$$

Das Prinzip der Bereichswahlschaltung geht aus Bild 3.14 hervor. Das Wort im Ausgangsregister des FAD-Wandlers, der in der ausgeführten Schaltung als selbständiger Wandler nach dem Sägezahnverfahren arbeitete, ist repräsentativ für eine positive Eingangsspannung (das MSB ist 1 im offset

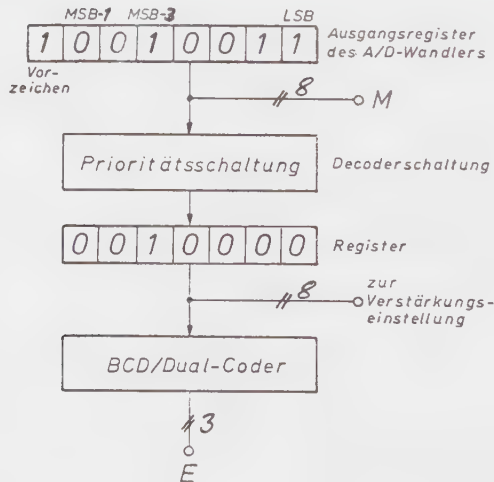


Bild 3.14

Bereichswahlschaltung mit Hilfe eines
Prioritätsregisters

binary-Code). Darum muß nach der höchstwertigen Eins gesucht werden, die sich hier an der Stelle des MSB-3 findet. Das bedeutet, daß der Wandler zu weniger als einem Viertel angesteuert ist. Durch die Prioritätsschaltung, die als integrierter Baustein (/32/) in Form eines Prioritätsregisters erhältlich ist, wird das Ausgangswort des FAD-Wandlers in einen (1 aus 7)- Code umgewandelt, der an der Stelle der höchstwertigen Eins ebenfalls eine Eins und ansonsten Nullen enthält.

Falls der Wandler weniger als bis zum LSB angesteuert wird, kann der Prioritätsdecoder keine Priorität feststellen und gibt eine Art Übertragungssignal für weitere Bausteine gleicher Art ab. Dieses Ausgangssignal wird nun benutzt, um die höchste Verstärkung von $V = 128$ zu initiieren.

Die Ausgänge des Prioritätsregisters werden dann direkt mit den Eingängen des multiplizierenden Digital/Analog-Wandlers zur Verstärkungseinstellung verbunden, der damit die Verstärkungsfaktoren von $V = 1, 2, 4, \dots, 128$ einstellt, andererseits aber einem BCD/DUAL-Coder zugeführt, der aus dem jetzt erzeugten (1 aus 8)-Code den Exponenten bildet.

Nach der Einschwingzeit des Verstärkers auf die neue Ausgangsgröße erfolgt dann die zweite FAD-Wandlung zur Mantissengewinnung. Die Einschwingzeiten des verwendeten integrierten, chopperstabilisierten Operationsverstärkers sind in der Tabelle 3.4 für die Übergänge zwischen den einzelnen Verstärkungsfaktoren jeweils für Vollaussteuerung auf + 5 Volt bei der höheren Verstärkungsstufe zusammengefaßt.

$V_1 \backslash V_2$	1	2	4	8	16	32	64	128	256	
1	0	15	20	25	30	50	100	200	400	μs
2	13	0	15	15	30	50	90	200	400	μs
4	15	15	0	12	25	50	90	180	400	μs
8	17	20	17	0	25	50	90	180	400	μs
16	24	25	18	12	0	50	90	180	400	μs
32	30	25	24	18	25	0	90	150	400	μs
64	30	25	25	18	25	70	0	200	500	μs
128	30	25	25	20	40	75	150	0	400	μs
256	30	25	25	20	25	75	150	300	0	μs

Tabelle 3.4

Einschwingzeiten für den chopperstabilisierten Vorverstärker für Vollaussteuerung beim höheren Verstärkungswert

Die gesamte Wandlungszeit setzt sich aus der Zeit für zwei FAD-Wandlungen und einer Einschwingzeit des Verstärkers auf den höchsten Wert zusammen; damit ergab sich eine Wandlungszeit von 800 μ s. Zusammen mit der Zeit, welche der Verstärker benötigt, um wieder auf den Wert $V = 1$ für die nächste Wandlung einzuschwingen, folgt damit eine maximale Abtastrate, die über 1 kHz liegt. Zur Realisierung waren insgesamt 11 Integrierte Schaltungen, ein FAD-Wandler und 21 passive Komponenten nötig.

Die Kennlinie des GAD-Wandlers im Bild 3.15 ist eine Nachzeichnung des oszillographisch aufgenommenen Endtests. Dazu wurde die 8 bit Mantisse mit einem genauen 12 bit Digital/Analog-Wandler wieder in einen Analog-

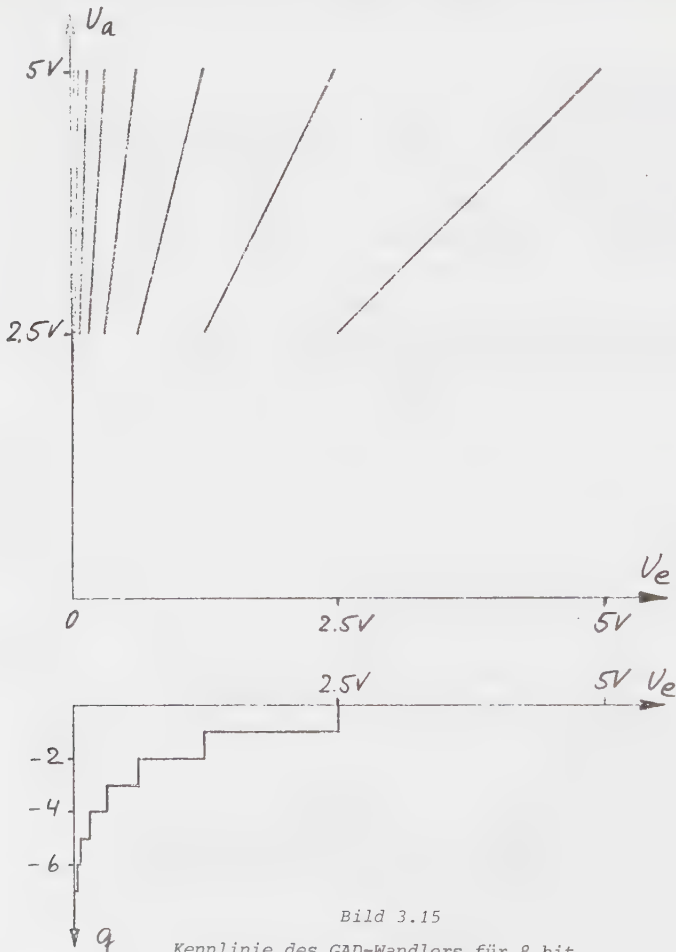


Bild 3.15

Kennlinie des GAD-Wandlers für 8 bit Mantisse und 3 bit Exponent

wert zurückkonvertiert und über der Eingangsspannung aufgetragen. Die Geradenstücke - bis auf die bei dem höchsten negativen Exponenten von $q = -7$ durch den Ursprung laufende Linie, welche sich aus 128 einzelnen Punkten zusammensetzt - bestehen aus 64 diskreten Punkten.

Diejenigen Komponenten, an welche die größten Anforderungen gestellt werden, sind bei dieser Art Konverter der Vorverstärker und der multiplizierende D/A-Wandler in dessen Rückführung.

Der Wertigkeit des LSB der Mantisse bei größtem Verstärkungsfaktor des Vorverstärkers entspricht eine analoge Spannung von

$$U_{\text{LSB}} = 5 \text{ V} / 16256 = 307.5 \text{ } \mu\text{V}.$$

Verwendet man darum einen integrierten Chopperverstärker mit einem Temperaturkoeffizienten der Eingangsruhespannung von $0.3 \text{ } \mu\text{V}/^\circ\text{C}$, dann darf dessen Umgebungstemperatur im Bereich $+10^\circ\text{C} = T_U = +60^\circ\text{C}$ schwanken, ohne daß der hierdurch eingeführte Fehler $1/2$ LSB übersteigt.

Toleranzen des Rückführnetzwerks gehen direkt in den Verstärkungsfaktor ein. Für den Fall $m = 3$ (ohne Vorzeichen) und $q = 1$, das heißt, zwei Exponentenwerte, stellt Bild 3.16a die fehlerfreie Kennlinie dieses GAD-Wandlers dar. Das Aufsetzen der Wandlerkennlinie bei $U_e = 3.5$ auf der 45° -Geraden rührt einfach von der endlichen Mantissenlänge her. Wird der Nominalwert der Verstärkung für den betragsmäßig höheren Exponenten, von $V = 2$ auf $V = 2.5$ vergrößert, dann ergibt sich das Bild 3.16b. Man sieht deutlich die größere Steigung im ersten Kennlinienteil, welche zudem noch eine größere Auflösung an seinem oberen Ende zur Folge hat. Wird die Verstärkung dagegen verringert, etwa auf $V = 1.5$ im Bild 3.16c, dann stehen für die Auflösung des unteren Bereichs weniger Amplitudenstufen zur Verfügung; in diesem Fall sind es 6 statt 8.

An dieser Stelle soll noch auf eine weitere, für regelungstechnische Anwendungen eminent wichtige Eigenschaft des realisierten Wandlers mit fehlerbehafteten Rückführkomponenten hingewiesen werden: Die Monotonie des Wandlers, das heißt, die Zuordnung eines größeren Digitalwortes zu einer größeren Eingangsspannung ist hier immer gewährleistet. Andernfalls würde durch eine negative Steigung das Vorzeichen im Regelkreis geändert was die Stabilität gefährden kann. Diese für uns günstige Eigenschaft rührt daher, daß die handelsüblichen FAD-Wandler eine Begrenzer-Charakteristik besitzen. Wird ihnen ein Eingangssignal außerhalb des Wandlungsbereichs angeboten, dann reagieren sie darauf mit der Ausgabe des jeweils betragsmäßig höchsten Ausgangsworts.

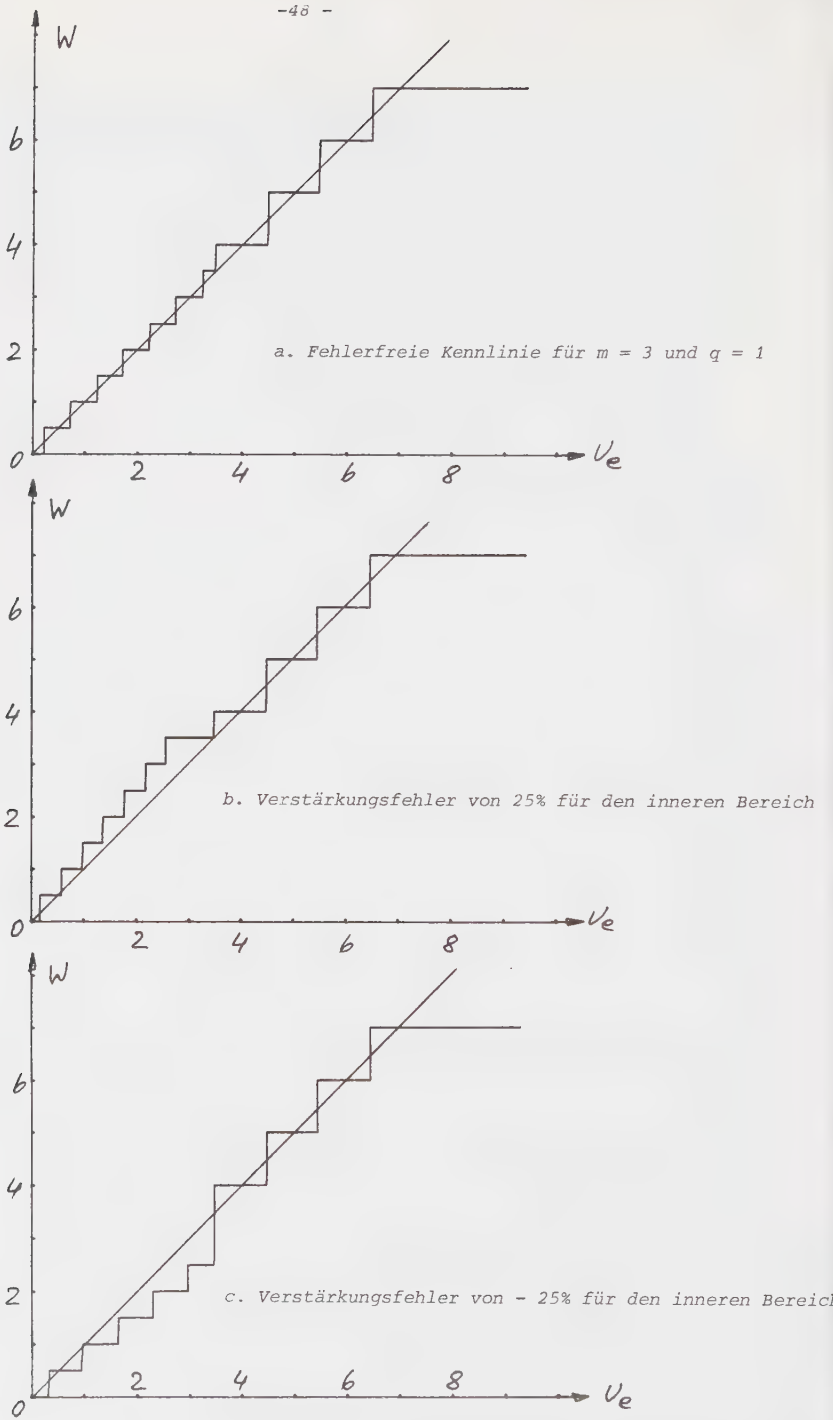


Bild 3.16
Auswirkung von Verstärkungsfehlern

Der Steigungsfehler, das ist hier der Verstärkungsfehler, ist für das obere Ende des Bereichs mit der höheren Vorverstärkung (und damit kleineren Stufung) genauso definiert, wie das im Abschnitt 2.3 für den normalen FAD-Wandler vorausgesetzt wurde. Die zugelassenen Steigungsabweichungen der einzelnen Bereiche müssen also bezogen auf ihre Stufenhöhe gleich sein.

Setzt man einmal voraus, daß alle Widerstände des R-2R-Netzwerks in heutigen multiplizierenden Digital/Analog-Wandlern mit dem gleichen relativen Fehler abgeglichen werden, dann ist es gleichgültig, welcher dieser Widerstände in die Rückführung eingeschaltet wird: Der Verstärkungsfehler entspricht eben diesem relativen Fehler des Abgleichs; und wenn dieser $\pm 1/2$ LSB beträgt, dann ist die Verstärkung innerhalb der Spezifikation.

Da die oben gemachte Voraussetzung aber nicht ganz zutrifft, wie dies im Bild 2.7 deutlich zu sehen ist, wurde ein multiplizierender D/A-Wandler mit engerer Spezifikation auf 10 bit Linearität (bei 8 bit Auflösung) verwendet.

Mit einem nach dem vorstehend beschriebenen Prinzip aufgebauten Gleitkomma Analog/Digital-Wandler kann bereits die im ersten Abschnitt erhobene Forderung nach hoher Auflösung um den Nullpunkt, die in Bild 1.4b verdeutlicht wurde, erreicht werden. Hervorzuheben ist in diesem Zusammenhang die Kompatibilität des Wandlers mit bestehenden digitalen Regeleinrichtungen.

Darüberhinaus macht ihn die, vom Prinzip her gewährleistete, strenge Monotonie besonders geeignet für regelungstechnische Anwendungen. Die volle Ausschöpfung seiner günstigen Eigenschaften, vor allem in Hinblick auf die kostengünstige Realisierung, zeigt sich aber erst in der Einbettung in eine Mikrocomputerumgebung, von der in den nächsten Kapiteln die Rede sein wird.

4. HALBLOGARITHMISCHE WANDLER MIT MIKROCOMPUTER

Komplexe Steuerungen, zu denen auch die Ablaufsteuerung des Gleitkomma Analog/Digital-Wandlers gehört, werden heute in zunehmenden Maße mit programmierbaren Logikeinheiten, den Mikroprozessoren, realisiert. Ausgehend von dem GAD-Wandler im vorangegangenen Kapitel wird gezeigt, mit welchem geringem Aufwand eine Mikroprozessorsteuering des GAD-Wandlers durchgeführt werden kann. Diese Aufwandsverringerung wird allerdings mit einer Verlängerung der Konversionszeit erkaufte.

4.1 Aufbau eines Mikrocomputers

Innerhalb der nach steigender funktionaler Komplexität geordneten Hierarchie digitaler Verarbeitungseinheiten

SSI Gatter	Integrierte Schaltung niedr.Integrationsgrades
MSI Zähler	Integrierte Schaltung mittl.Integrationsgrades
LSI Mikroprozessor	Integrierte Schaltung hohen Integrationsgrades
μ C Mikrocomputer	Kleines System
mC Minicomputer	Mittleres System
C Computer	Großes System

nimmt der Mikroprozessor eine zentrale Rolle ein.

Er ist einerseits ein hochintegriertes Bauelement, andererseits aber programmierbar und damit im weitesten Sinne den Rechnern zuzuordnen, sodaß er das bis vor wenigen Jahren noch fehlende Bindeglied zwischen den integrierten Schaltungen und den Computern darstellt.

Die heutigen Mikroprozessorfamilien lassen sich in zwei große Gruppen einordnen: Auf der einen Seite gibt es die sogenannten Bit-Slice-Typen, die durchweg nach einer der schnellen bipolaren Halbleitertechnologien gefertigt werden; das sind in ihrer Wortlänge inkremental erweiterbare und mikroprogrammierbare Rechnertypen (/18/). Auf der anderen Seite existiert eine große Vielfalt von Mikroprozessoren mit fester Wortlänge von üblicherweise 4, 8, 12 und 16 bit und festem Befehlssatz unterschiedlicher Mächtigkeit. Man fertigt sie meist in einer langsameren MOS-Technologie, welche eine höhere Integrationsdichte zuläßt. Daraus resultiert eine höhere Komplexität, welche die Zahl der Komponenten für die Realisierung etwa eines Mikroreglers gegenüber der bipolaren Technik drastisch reduziert.

Von den letzteren soll im folgenden die Rede sein, wobei noch hinzugefügt werden muß, daß heutzutage die **8-bit**-Prozessoren die weiteste Verbreitung gefunden haben (/19/). Als Folge davon gibt es eine ganze Reihe von Zusatzbausteinen, die ebenfalls für eine 8-bit-Anwendung optimal ausgelegt sind.

Im Bild 4.1 ist die typische Architektur eines gebräuchlichen Mikrocomputersystems (/20/) dargestellt.

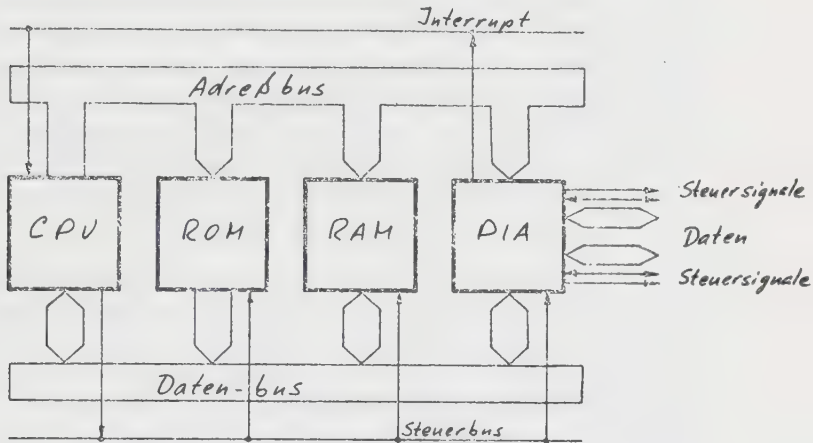


Bild 4.1

Architektur eines Mikrocomputersystems

Die wichtigsten Systemkomponenten sind:

- o Der Mikroprozessor (CPU - Central Processing Unit) als zentrale Rechen- und Entscheidungseinheit,
- o die Festwertspeicher (ROM - Read Only Memory) zum permanenten Speichern von Programmen,
- o der Schreib-Lesespeicher (RAM - Random Access Memory) für die Ablage variabler Daten und
- o die Eingangs/Ausgangseinheit (PIA - Peripheral Interface Adapter) für den Verkehr des Mikroprozessors mit der Außenwelt.

Verschiedene Mikrocomputeranwendungen unterscheiden sich von der Hardware nur durch den unterschiedlichen Anteil dieser Komponenten am

Gesamtaufbau: Probleme großer Komplexität verlangen viel Speicherplatz für die Programme; hier wird man verhältnismäßig viel ROM-Bausteine einsetzen müssen. Anwendungen mit regem Peripherieverkehr hingegen, zum Beispiel digitale Regler, erfordern einen höheren Anteil an Peripheriebausteinen.

Der Verkehr zwischen diesen Komponenten findet auf Informationssammelschienen oder Bussen statt, an die alle Bausteine gleichermaßen angekoppelt sind. Der Adreßbus, der bidirektionale Datenbus und der Steuerbus erlauben dem Mikroprozessor die vollständige Kontrolle aller angeschlossenen Einheiten. Die Breite des Datenbusses entspricht im allgemeinen genau der Wortlänge des Prozessors, während sich für den Adreßbus die einfache bis doppelte Länge des Datenbusses eingeführt hat. In den meisten 8-bit-Prozessoren ist er 16 bit breit, erlaubt also die Adressierung von 64k Speicherzellen (das sind genau 65536 Stück). Der Steuerbus besteht oft nur aus einigen Leitungen, zum Beispiel einer Schreibfreigabe- und einer Unterbrechungsleitung.

Über den Adreßbus gibt der Prozessor Adressen für die Quelle oder das Ziel eines Datentransfers aus. Die Erzeugung dieser Adressen geschieht im Prozessor auf vielfältige Weise: Zum Holen der Befehle aus dem Festwertspeicher wird die Adresse vom Befehlszähler abgeleitet, der die Ausführung aufeinanderfolgender Befehle steuert.

Adressen für den Datentransfer zwischen dem Prozessor und den Schreib-Lesespeichern stehen entweder direkt im Programm (und werden dem Prozessor vorher über den Datenbus mitgeteilt) oder werden aus Daten im Festwertspeicher und dem Zustand interner Prozessorregister berechnet.

Der bidirektionale Datenbus überträgt die Daten zwischen dem Prozessor und den angeschlossenen Bauteilen. Die Datenrichtung, das heißt, ob der Prozessor die Quelle der Information für eine adressierte Stelle im System ist oder eine Senke für ein solches Element, hängt vom Zustand der Schreibfreigabeleitung ab.

Eine wichtige Eigenschaft moderner Mikrocomputer ist die Interruptfähigkeit. Diese Funktion erlaubt es der Peripherie, direkt den Arbeitsablauf des Prozessors zu bestimmen. Wenn ein Interrupt auftritt, dann führt er den gerade angefangenen Befehl bis zum Ende aus und bearbeitet dann dasjenige Programm, welches für diese Unterbrechung vorgesehen ist. Der besondere Wert dieser Eigenschaft liegt darin, daß der Prozessor sich ganz dem Systemprogramm widmen kann, ohne andauernd beispielsweise die Peripherie auf ihren Zustand abzufragen. Auf der anderen Seite gibt es

Anwendungen, wie den im 7. Abschnitt dieser Arbeit vorgestellten dynamischen Analog/Digital-Wandler, deren Arbeitsweise - zumindestens zeitweise - keinen Interrupt zulassen. Für diese Fälle muß der Interrupt verhindert werden können.

Der speicherbezogene Befehlssatz eines Mikroprozessors läßt sich bezüglich der Speicheradressen, auf welche die einzelnen Befehle wirken, in drei große Kategorien unterteilen:

- o Prozessorregisterbefehle,
- o Seite 0 Befehle und
- o Befehle für den restlichen, nicht besonders ausgezeichneten Adreßraum.

Im Bild 4.2 ist dazu die Speicherorganisation eines für die folgende Realisierung der mikrocomputergesteuerten Wandler benutzten Mikroprozessors MCS 6502 angegeben.

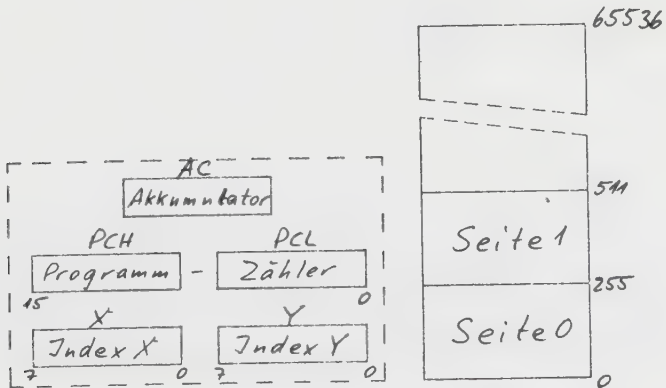
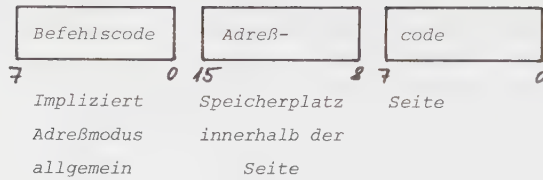


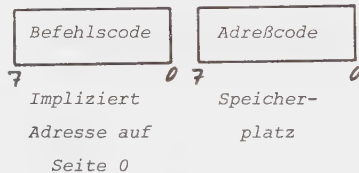
Bild 4.2
Speicherorganisation für den MCS 6502
Mikroprozessor

Zur Ansprache der durch ein 16 bit langes Adreßwort adressierbaren 65536 Speicherplätze, die sich in 256 Seiten zu je 256 Speicherplätzen unterteilen, sind normalerweise 2 byte, das heißt, zwei Worte a 8 bit erforderlich, sodaß ein allgemeiner Speicherbefehl drei Bytes umfaßt:

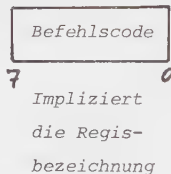


Im ersten Byte steht der Code für die auszuführende Operation, im zweiten die angesprochene Speicherzelle und im dritten die Seite, auf der diese Zelle zu finden ist.

Eine Ausnahme hiervon bildet die Seite 0, deren Anwahl im Befehlswort implizit enthalten ist, sodaß für die Kennzeichnung einer Speicherzelle innerhalb der Seite 0 nur noch ein Byte erforderlich ist. Ein Befehl, der sich auf eine Operation auf Seite 0 bezieht, umfaßt also nur zwei Bytes:



Die Prozessorregister, nämlich Akkumulator AC, Programmzähler PCL und PCH sowie die beiden Indexregister X und Y werden implizit angesprochen, das heißt, im Befehlscode ist bereits der Registername enthalten von demjenigen Register, mit dem die Operation durchgeführt werden soll. Ein Prozessorregisterbefehl besteht also nur noch aus einem Byte:



Der wesentliche Unterschied dieser drei Befehlsarten liegt einmal in deren verschiedener Länge, aber auch - und das ist hier der entscheidende Punkt - in ihrer verschieden langen Ausführungszeit.

In der Tabelle 4.1 sind die Ausführungszeiten für Dekrementieren oder Schieben sowie Registerverkehr mit dem Akkumulator für direkte Befehle verzeichnet. Im Mittel sind Seite 0 - Befehle 20% schneller als allgemeine Befehle ausgeführt - eine Tatsache, von der bei der Realisierung der mikrocomputergesteuerten Wandler in den folgenden Abschnitten ausgiebig Gebrauch gemacht wird. Es ist dem Entwickler nämlich freigestellt, welche Art von Speichern oder Peripherieeinheiten er als Seite 0 adressiert. Der besondere Vorzug des verwendeten Mikrocomputers besteht darüberhinaus noch darin, daß die Peripherie wie eine Speicherzelle adressiert und mit Speicherbefehlen angesprochen werden kann.

Adresse	Befehlslänge	Ausführungszeit		Mittelwert
allgemein	3	6	4	100%
Seite 0	2	5	3	80%
Prozessor- register	1	2	2	40%
	bytes	DEC/ASL	LDA/TXA	

Tabelle 4.1
Ausführungszeit für verschiedene
Befehle in Abhängigkeit von der
Lage der Speicherzelle

Der Mikrocomputer KIM I, mit dem einige Entwicklungen dieser Arbeit durchgeführt wurden, ist eines der in Europa zur Zeit am weitesten verbreiteten kleinen Systeme. Er enthält auf einer etwa DIN A4 großen Platine:

- o Zentraleinheit MCS 6502 mit Quarzoszillator (1 MHz)
- o 1 k byte RAM für Anwenderprogramme
- o Tastenfeld zur Systemsteuerung und Befehls- plus Dateneingabe
- o 6 stelliges 7-Segmentdisplay für die Anzeige von Speicheradressen und Daten
- o 8 Kanal ASCII-Code Teletype Anschluß
- o 15 Eingangs/Ausgangsanschlüsse, die in zwei Ports zusammengefaßt sind
- o Erweiterungsmöglichkeit des Speichers bis 64 k byte

Die Betriebsprogramme für Teletype, Cassette und Tastenfeld sind in 2 k byte ROM abgespeichert, zu denen der Anwender Zugang hat.

4.2 Der mikrocomputergesteuerte Wandler

Der im Kapitel 3.5 beschriebene Gleitkomma Analog/Digital-Wandler benötigt unter Verwendung eines handelsüblichen Festkomma Analog/Digital-Wandlers für den Aufbau fast eine ganze Europakarte im Format 100x160 mm.

Da ein solcher Wandler als Analoginterface zu einem Mikrocomputer dienen soll, wurden Überlegungen darüber angestellt, ob der Mikrocomputer nicht in der Lage sein könnte, die Steuerung des Wandlungsvorganges selbst durchzuführen. Dies bedeutet in letzter Konsequenz nichts anderes als die größtmögliche Ausdehnung der Mikroprozessorfähigkeiten bis hin zur analogen Schnittstelle eines Mikroreglers.

Der erste, nächstliegende Schritt, nämlich das Verfahren der sukzessiven Approximation mittelschneller Analog/Digital-Wandler durch ein Programm zu realisieren, ist bei ALDRIDGE (/33/) dokumentiert. Die zyklische Struktur eines solchen Wandlers ist im Bild 4.3 in der rechten Hälfte zu sehen: Ein über das Register R2 gesteuerter multiplizierender Digital/Analog-Wandler, für den bei dieser Gelegenheit ein neues Symbol vorgeschlagen wird, leitet von der Referenzspannung U_{Ref} mit Hilfe von zwei Operationsverstärkern eine bipolare Vergleichsspannung U_a nach (/15/) ab. Diese wird mit der unbekannten Spannung $k \cdot U_x$ verglichen und die Entscheidungsgröße des Komparators in den Mikrocomputer eingegeben. Der linke Schaltungsteil führt, ebenfalls mit einem multiplizierenden Digital/Analog-Wandler bestückt - jetzt allerdings in der Rückführung eines Operationsverstärkers -, die Multiplikation der Eingangsspannung U_x mit einem im Register R1 stehenden Wort aus. Ist jeweils ein Bit des 8 bit Registers R1 gesetzt, lassen sich die Verstärkungsfaktoren $V = 2, 4, 8, \dots 256$ einstellen. Nimmt man noch den Zustand $(1 \dots 1)_2$ von R1 hinzu, gewinnt man näherungsweise $V = 1$.

Für die Peripheriean Kopplung stehen dem Mikrocomputer die Eingangs/Ausgangsports zur Verfügung. Am KIM-1, dem Mikrocomputer, mit dem diese Entwicklung durchgeführt wurde, sind zwei E/A-Ports verfügbar zu 8 bit (PA) und zu 7 bit (PB). Der A-Port wird als Datenausgang für die beiden 8 bit Register R1 und R2 deklariert mit der Orientierung

MSB (D/A-Wandler) $\rightarrow$ PA7 und

LSB (D/A-Wandler) $\rightarrow$ PA0 .

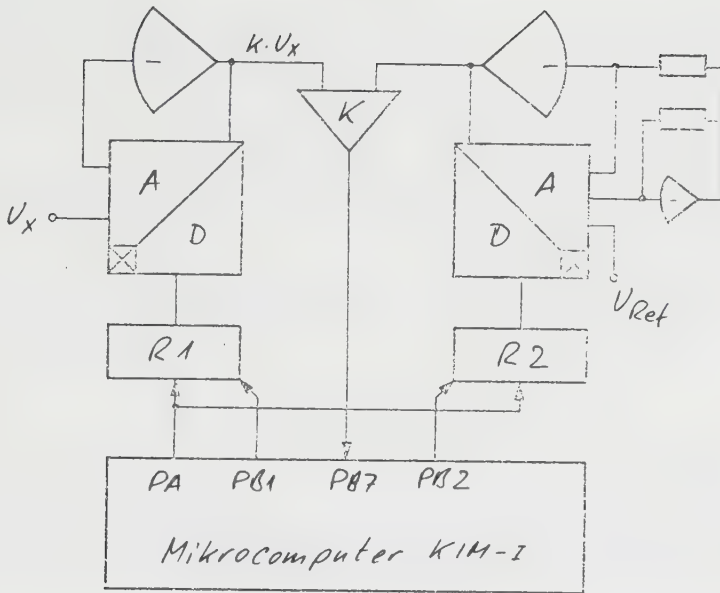


Bild 4.3

Mikrocomputergesteuerter GAD-Wandler,
der über die Peripherieports angeschlos-
sen ist

Das entspricht auch der Orientierung der Wertigkeit der Stellen innerhalb der Speicher und des Rechenwerks im Mikrocomputer. Hier muß noch auf eine Besonderheit der E/A-Ports beim verwendeten System hingewiesen werden: Die E/A-Ports bestehen im Prinzip aus jeweils zwei Registern, dem Datenregister und dem Datenrichtungsregister, welches bestimmt, ob ein Anschluß eines E/A-Ports als Eingang oder als Ausgang wirken soll.

Der B-Port dient als Steuerausgang beziehungsweise -eingang: Mit PB1 wird Register R1, mit PB2 das Register R2 getaktet; diese beiden Anschlüsse werden als Ausgang deklariert, während PB7 als Eingang für die Komparatorentscheidung benutzt wird. Die Wahl von PB7 hat einen ganz einfachen Grund: PB7 ist das höchstwertige Bit des Eingangswortes aus dem Eingangsregister PB und beeinflusst den Wert des Statusbit N, aufgrund dessen Zustand bedingte Sprünge und somit leichte Auswertungen der Komparatorentscheidungen durchgeführt werden können.

Die Wahl des Algorithmus für die FAD-Wandlung ist wegen der Programmierbarkeit weitgehend frei von Hardwarerestriktionen und richtet sich im Rahmen der vorgegebenen Möglichkeiten weitgehend nach den Erfordernissen an den Speicherbedarf und die Umwandlungszeit T_{FAD} .

Das einfache Zählverfahren erfordert einen Speicherbereich von nur 30 Byte und führt eine Wandlung in maximal 7 ms aus, während die sukzessive-Approximation als Programm doppelt so lang ist, von der Zeit her gesehen aber nur 0.6 ms benötigt.

Der Zeitbedarf T_{GAD} für eine Gleitkomma Analog/Digital-Wandlung nach dem im Abschnitt 3.4 beschriebenen Verfahren setzt sich hier aus drei Summanden zusammen:

$$T_{GAD} = 2 T_{FAD} + T_{MBW} + T_{EIN} .$$

T_{MBW} bezeichnet die Zeit für die Bestimmung der Aussteuerungsverhältnisse bei der ersten Wandlung und liegt für ein 20 Byte langes Auswerteprogramm bei 90 μ s. T_{EIN} ist die Einschwingzeit der Ausgangsgröße U_a des Vorverstärkers VV auf ihren neuen Wert nach einer Änderung der Verstärkung V.

Der Mikrocomputer, welcher letztlich die Wandlung durchführen soll, kann auch als Testgenerator für den Entwurf der Schaltung und des Programms eingesetzt werden. Die experimentelle Bestimmung beispielsweise dieser Einschwingzeit in der aufgebauten Schaltung ist mit seiner Hilfe relativ einfach möglich.

Es wurde dazu ein einfaches Testprogramm geschrieben mit folgenden Eigenschaften: Über das Register R1 wird $V_1 = 1$ eingestellt und über die Zeit T_1 , welche durch eine Verzögerungsschleife im Programm erzeugt wurde, gehalten. Dann erfolgt die Umschaltung auf die Verstärkungswerte $V_2 = 2, 4, 8, \dots 128$, welche während einer Zeit T_2 gehalten werden. Danach erfolgt der Rücksprung auf den Anfang. Durch dieses zyklische Programm ergibt sich ein stehendes Bild für die geschaltete Ausgangsspannung am Oszilloskop, welches leicht ausgewertet werden kann. Durch die einfache Möglichkeit, T_1 und T_2 durch die Änderung eines Parameters mit der Tastatur zu variieren, kann der Abbildungsmaßstab auf dem Bildschirm recht gut den auftretenden Verzögerungszeiten T_{EIN} angepaßt werden. Das Programm für den solcherart geschaffenen programmierbaren Testgenerator ist 50 Byte lang und ergab einen maximalen Wert für T_{EIN} in der Schaltung von 0.2 ms für den Übergang von $V_1 = 1$ auf $V_2 = 128$.

Der gesamte Algorithmus für die Durchführung einer Gleitkomma Analog/Digital-Wandlung mit einer Exponentenlänge von 3 bit und der Mantissenlänge 8 bit benötigt 100 Speicherplätze für das Programm und führt die Umwandlung in 1.5 ms durch.

Diese relativ lange Zeit ist weitgehend technologiebedingt (NMOS-Prozessor MCS 6502 mit 1 MHz Takt), verglichen mit den ca. 0.3 ms für eine TTL-Lösung der Exponentenbestimmungsschaltung unter Verwendung eines käuflichen FAD-Wandlers nach dem Verfahren der sukzessiven Approximation. Sie rührt zum Teil aber auch von der seriellen Arbeitsweise des Mikrocomputers her, die auf der anderen Seite zu einer drastischen Verminderung des Schaltungsaufwandes führte, was in diesem Beispiel das Ziel der Entwicklung war.

Das dem Analogwert durch die Wandlung zugeordnete Gleitkommawort muß nicht unbedingt im Gleitkommaformat weiterverarbeitet werden. Betrachtet man dazu im Bild 4.4 die Zweiwortdarstellung im Mikroregler, dann genügen einfache Schiebeoperationen, nach Maßgabe des ermittelten Exponenten, um die gewandelte 8 bit Mantisse innerhalb des 16 bit langen Doppelwortes an die richtige Stelle zu transferieren.

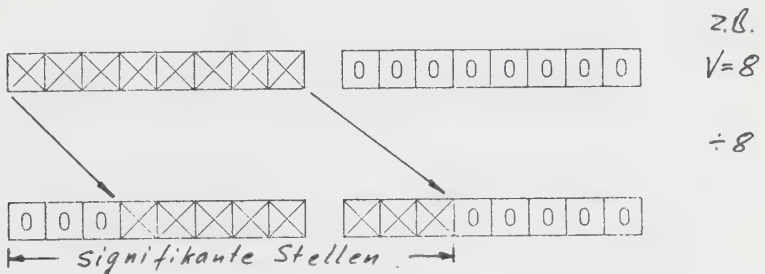


Bild 4.4

Normierung eines gewandelten Wortes
einfacher Länge auf die doppelte Wort-
länge nach Maßgabe des Exponenten

4.3 Abgleich des Wandlers

Der Mikrocomputer kann in einfacher Weise für den Offsetabgleich der Verstärker in der Eingangsschaltung eingesetzt werden, indem per Programm die für den Abgleich nach (/15/) vorgeschriebenen Bitmuster in die Register R1 und R2 eingegeben werden. Das nur 80 Byte lange Programm hält automatisch an den Abgleichpunkten und gibt im Display die Nummer des abzugleichenden Verstärkers an. Weiterschalten zum nächsten Abgleichpunkt erfolgt einfach durch Tastendruck. Wie man leicht sieht, ist damit ein programmgesteuerter Halbautomat zum Offsetabgleich realisiert worden.

5. LINEARISIERENDE ANALOG/DIGITAL-WANDLER

In diesem Abschnitt wird gezeigt, wie mit dem gleichen zweischrittigen Wandlungsverfahren des GAD-Wandlers eine weitgehend beliebige eindeutige Kennlinie zur Linearisierung von Meßwertaufnehmern erzeugt werden kann. Am Beispiel eines Meßwandlers mit quadratischer Kennlinie werden die dabei auftretenden Fehler diskutiert.

5.1 Bisherige Ansätze zur Linearisierung

Für die Linearisierung von Meßwertwandlern gibt es im wesentlichen drei Methoden, welche im Bild 5.1 dargestellt sind. Dort besteht die Aufgabe, den Massenstrom $\dot{m}$ möglichst genau zu erfassen und in eine ihm proportionale Größe für die digitale Verarbeitung umzuwandeln.

Die erste und älteste Methode besteht darin, dem Meßumformer einen analogen Kompensator nachzuschalten, dessen Kennlinie so gestaltet wird, daß die Meßgröße so verzerrt wird, daß die Ausgangsspannung U_a des Kompensators der Aufgabengröße $\dot{m}$ direkt proportional ist. Ein Beispiel dafür sind die Radiziergeräte für den im Bild 5.1 gezeichneten Anwendungsfall.

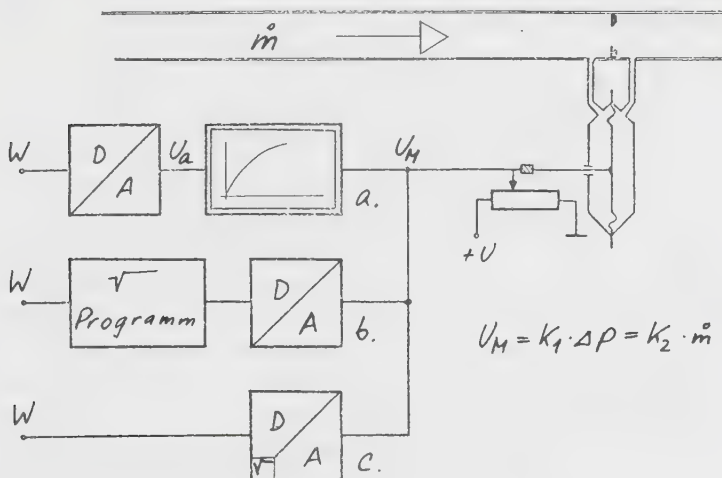


Bild 5.1

Die verschiedenen Methoden der Linearisierung von Meßwertaufnehmern
a. Analoge Kompensation
b. Digitale Korrektur
c. Hybrider linearisierender A/D-Wandler

Die zweite Möglichkeit besteht darin, zuerst einmal die Meßgröße U_M zu digitalisieren und dann mit einem Korrekturprogramm die Linearisierung durchzuführen.

Die dritte Möglichkeit (/34/) besteht schließlich darin, dem Wandler von vornherein eine nichtlineare Kennlinie zu geben, der zudem in seinem Aufbau möglichst flexibel an verschiedene Aufnehmerkennlinien anpaßbar sein soll.

Die beiden ersten Verfahren besitzen gravierende Nachteile: Das erste leidet unter der Temperaturabhängigkeit der nichtlinearen analogen Schaltelemente für die Realisierung der Kompensationskennlinie, während beim zweiten Verfahren die schlechte Auflösung im flachen Teil der quadratischen Kennlinie in der Umgebung des Nullpunkts den Meßbereich nach unten erheblich einschränkt. Zudem ist der Speicherbedarf und die Zeit für die Radizierung per Programm nicht zu vernachlässigen. Erheblich günstiger verhält sich eine Kombination beider Verfahren in Form eines hybriden linearisierenden Analog/Digital-Wandlers, der im Prinzip genauso aufgebaut ist wie der bisher besprochene Gleitkomma Analog/Digital-Wandler.

Die Änderungen am GAD-Wandler für die Anpassung an diese neue Aufgabe sind nur gering, wie sich später zeigen wird und es läßt sich vermuten, daß die Struktur der GAD-Wandler über zusätzliche Freiheitsgrade verfügen, welche für den bisherigen Anwendungsbereich in den Abschnitten 3 und 4 nicht benötigt wurden. Betrachtet man daher die möglichen Zustände des multiplizierenden D/A-Wandlers in der Rückführung des Vorverstärkers, dann werden von den 2^{m-1} Zuständen nur ganze m für die Verstärkungseinstellung auf Potenzen von Zwei ausgenutzt. Diese dort nicht benutzten Zustände sind der Schlüssel für die Erweiterung des GAD-Wandlers auf den allgemeinen linearisierenden Wandler. Bevor der Anwendungsbereich der Erweiterung des bisherigen Verfahrens auf die Linearisierung von nichtlinearen Wandlern abgegrenzt wird, sollen noch einige Eigenschaften der zweiten Methode, welche ja zuerst eine Digitalisierung und dann erst die Linearisierung durchführt, hergeleitet werden.

Gegeben ist die Potenzkennlinie eines nichtlinearen Meßwertaufnehmers:

$$y = x^n .$$

Die Größe y wird quantisiert mit einem Wandler der Länge m ; die kleinste Zahl ist dann $y_{Qmin} = 2^{-m}$, die größte $y_{Qmax} = 1 - 2^{-m}$. Daraus berechnet sich der dynamische Bereich DB zu:

$$DB = \frac{y_{Qmax}}{y_{Qmin}} = \frac{x_{max}^n}{x_{min}^n} \rightarrow DB = (2^m - 1)^{\frac{1}{n}}$$

Für Werte von m mit der Bedingung $2^m \gg 1$ ergibt sich der Zusammenhang

$$DB[db] \approx \frac{1}{n} \cdot 6 dB/bit$$

der im Bild 5.2 dargestellt ist.

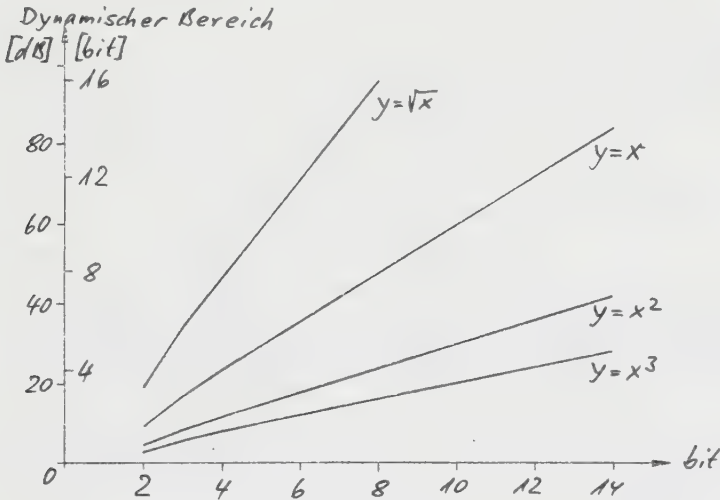


Bild 5.2

Der dynamische Bereich von Meßwertwandlern mit Potenzkennlinie

Wird beispielsweise ein dynamischer Bereich von 40 dB für einen Meßaufnehmer mit quadratischer Kennlinie gefordert, dann läßt sich dem Bild 5.2 eine Wortlänge des A/D-Wandlers von 14 bit entnehmen. Die Linearisierung der quadratischen Kennlinie vor der Wandlung hingegen resultiert in einer erforderlichen Länge des Wandlers von nur 7 bit.

Bisher wurde nur der dynamische Bereich betrachtet. Die weitere wichtige Kenngröße war der relative Fehler. Hier sehen die Verhältnisse etwas anders aus: Im Bild 5.3 ist der Betrag des relativen Fehlers für 4 bit Auflösung jeweils für den linearisierten und einen Meßaufnehmer mit quadratischer Kennlinie gezeichnet. Da für $y > 0.5$ die Steigung der Kennlinie größer als Eins ist, ist im Bereich $0.5 \leq y \leq 1$ der relative Fehler

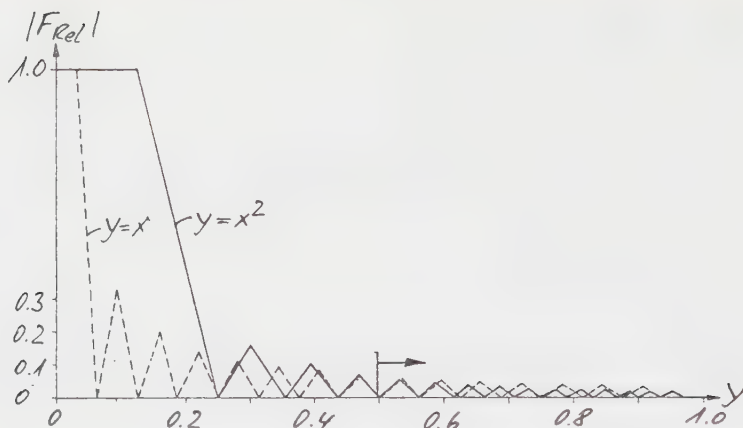


Bild 5.3

Der Betrag des relativen Fehlers für die Digitalisierung der Ausgangsgröße eines quadrierenden Meßaufnehmers

ter bei der direkten Wandlung kleiner als für ein lineares Meßglied. In diesem Bereich erscheint es also günstiger zu sein, erst im Digitalteil zu korrigieren. Dagegen erhebt sich die Forderung nach Signalvorverarbeitung für den Bereich $0 \leq y \leq 0.5$

Etwas anders liegen die Verhältnisse beim Meßaufnehmer mit radizierendem Verhalten gegenüber der Aufgabengröße. Bild 5.4 zeigt die größere Auf-

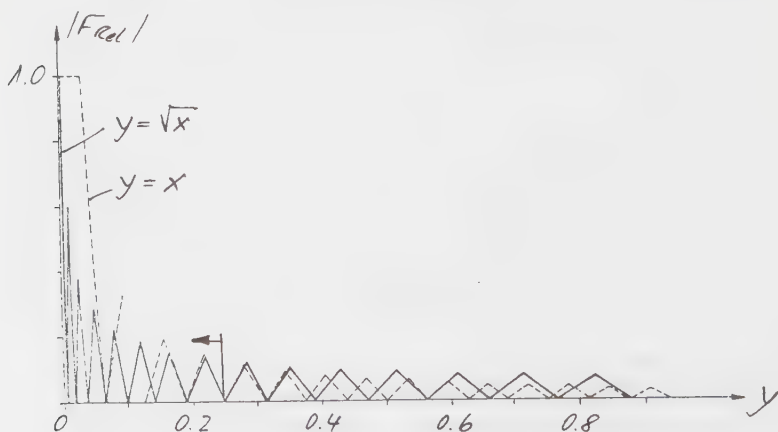


Bild 5.4

Der Betrag des relativen Fehlers für die Digitalisierung der Ausgangsgröße eines radizierenden Meßaufnehmers

Lösung im Bereich unterhalb $y = 0.25$ und damit den schon vom Bild 5.2 bekannten größeren dynamischen Bereich. Andererseits wird aber der relative Fehler für $y > 0.25$ größer als im linearen Fall.

5.2 Hybride Linearisierung

Bei den GAD-Wandlern der vorangegangenen Abschnitte wurde eine Unterteilung des Eingangsspannungsbereichs im Verhältnis $1 : 1/2 : 1/4..$ vorgenommen, zu denen dann vor der Wandlung der Mantisse die entsprechende Verstärkung von 2, 4, 8 ... 128 eingestellt werden mußte.

Bei der hybriden Linearisierung wird ebenfalls eine Unterteilung des Eingangsspannungsbereichs vorgenommen, welche sich aus der Kennlinie des Meßaufnehmers ergibt. Im einfachsten Fall wird diese Kennlinie durch eine Sekantennäherung mit einzelnen Geradenstücken approximiert, die zugehörigen Kompensationsverstärkungen eingestellt und dann gewandelt. Das Ausgangsformat ist hierbei dann keine Gleitkommazahl, sondern eine korrigierte Festkommazahl.

Für diesen Fall der einfachen Linearisierung wird im Abschnitt 5.3 ein Beispiel gebracht. Man kann aber noch einen Schritt weitergehen und wie vorher zusätzlich noch die Vollaussteuerung des FAD-Wandlers für die Mantissengewinnung anstreben.

5.3 Ausführungsbeispiel

Es wird ein Meßaufnehmer mit quadratischer Kennlinie

$$U_M = y = x^2$$

betrachtet. Die Kennlinie dieses Aufnehmers ist im Bild 5.5 dargestellt. Die Ausgangsgröße dieses Meßwertaufnehmers wird mit einem m bit langen FAD-Wandler in ein Digitalwort umgewandelt. Die Auflösung des Wandlers ergibt sich aus folgender Überlegung: Das LSB hat beim unipolaren Wandler die Wertigkeit 2^{-m} , so daß sich

$$x_{\min}^2 = 2^{-m} \text{ oder } x_{\min} = 2^{-m/2} \text{ ergibt.}$$

Das ist der kleinste Wert von x , der in der Nähe des Ursprungs noch bestimmt werden kann. Für $m = 8$ ergibt sich $x_{\min} = 2^{-4}$ zu 6.25% vom Endwert. Für die Auflösung in diesem Bereich sieht es so aus, als ob nur ein 4 bit Wandler vorhanden wäre. Um jetzt die auswertbare Dynamik zu erhöhen, muß das gemessene Signal in der Weise bewertet werden, daß sich eine lineare Kennlinie ergibt.

Zu diesem Zweck wird die nichtlineare Kennlinie des Meßaufnehmers durch einen Polygonzug angenähert in der Weise, daß er durch die Werte

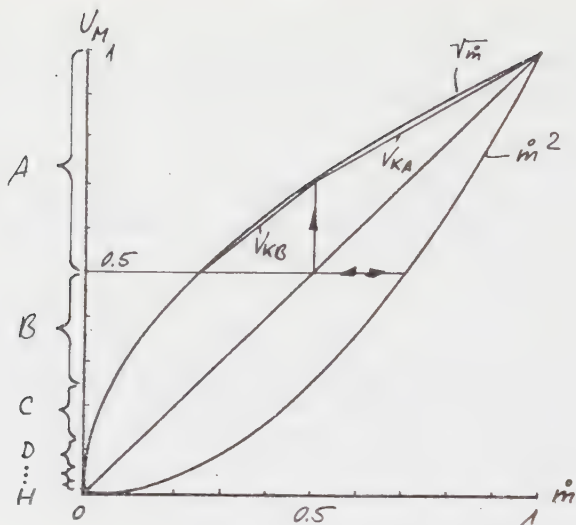


Bild 5.5

Konstruktion der Kompensationskennlinie
des quadrierenden Meßumformers mit Se-
kanten

$$U_{MP} = 2^{-q} U_M \quad \text{mit } q = 0 \dots m$$

geht. Dies sind nämlich genau die Stellen, welche durch eine Prioritätsabfrage der ersten FAD-Wandlung zur Bereichsbestimmung bestimmt werden können. Die Bereichsunterteilung in die Bereiche A ... H ist im Bild 5.5 dargestellt, während Bild 5.6 den relativen Fehler durch die Sekantenapproximation wiedergibt, dessen Extremwerte bei - 14.8% liegen.

Die Steigung der Sekanten läßt sich rekursiv bestimmen:

Sei a der x-Achsenabschnitt und b der y-Achsenabschnitt, dann gilt

$$m_v = \frac{b_v}{a_v} \frac{1}{2 - \sqrt{2}} \quad v \geq 2$$

mit

$$2b_v = b_{v-1} \quad ; \quad \sqrt{2} a_v = a_{v-1}$$

und den Ausgangswerten $a_1 = b_1 = 1$, sowie $a_0 = 0$, um den Ursprung mit zu erfassen. Die Korrekturverstärkung V_K für die einzelnen Bereiche ergibt sich zu $V_K = 1/m_v$, und kann auch graphisch dem Bild 5.5 entnommen werden. Mit diesen bereichsabhängigen Steigungskorrekturen ergeben sich die durchgezogenen Segmente mit $m = 1$ im Bild 5.7. Um diese einzelnen Geradenstücke zur linearen Kennlinie zusammensetzen zu können, ist noch eine Korrekturaddition für jeden Kennlinienteil A ... H notwendig.

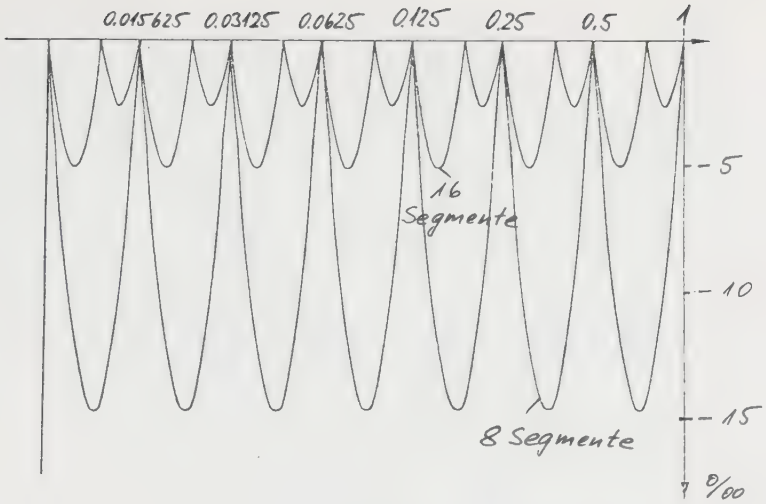


Bild 5.6

Relativer Fehler der Sekantenapproximation
für die einfache Unterteilung in 8 Segmente
und die verfeinerte Unterteilung in 16 Seg-
mente

Die Offsetwerte U_K berechnen sich zu:

$$U_{Kv} = 2^{-v+1} \cdot m_v - 2 \frac{1-v}{2}$$

Die Tabelle 5.1 enthält die notwendigen Verstärkungsfaktoren und die Werte für die Offsetkorrektur, welche zweckmäßigerweise im digitalen Teil durchgeführt wird.

Bereich	A	B	C	D	E	F	G	H
V_K	0.5858	0.8284	1.1715	1.6865	2.3431	3.3137	4.6862	11.314
U_K	0.4142	0.2929	0.2073	0.1446	0.1035	0.0732	0.0517	0
Multi- plika- tor(5.4)	x1	x2	x2	x4	x4	x8	x8	x8

Tabelle 5.1

Verstärkungsfaktor, Korrekturaddition
und Multiplikator für die Linearisierung
der quadratischen Kennlinie

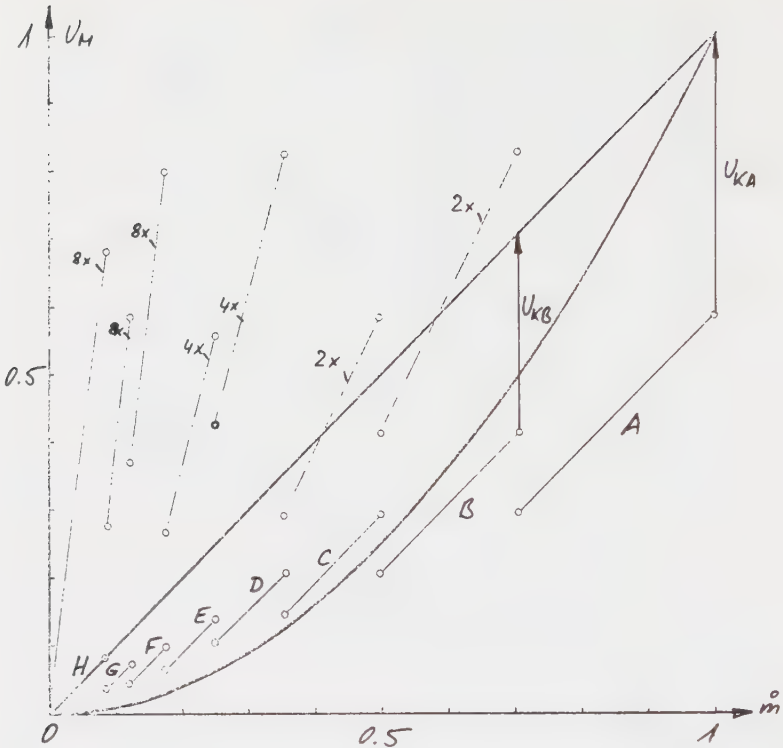


Bild 5.7

Die bewertete Sekantennäherung resultiert in einzelnen Segmenten, die mit einer Korrekturaddition zur Kennlinie mit $m = 1$ zusammengesetzt werden

Die Erweiterungen des linearisierenden FAD-Wandlers, wie er eben beschrieben wurde, gegenüber dem mikrocomputergesteuerten GAD-Wandler nach Bild 4.3 bestehen einmal in der Einfügung eines Festwertspeichers, der aus dem (1 aus 8)-Code Digitalworte erzeugt, welche über den multiplizierenden D/A-Wandler die Vorverstärkung auf die in der Tabelle 5.1 genannten Werte einstellt. Zum anderen ist die Abspeicherung der zu addierenden Korrekturwerte notwendig.

Für die Verstärkungseinstellung entsteht hier aber ein Problem: Die bisher benutzte Konfiguration zur Verstärkungseinstellung läßt nur Verstärkungswerte über Eins zu. Hier bestünde die Möglichkeit, die im Abschnitt

2 und 3 hergeleiteten Beschaltungen eines Operationsverstärkers zur Verstärkungseinstellung mit Hilfe von Analogschaltern zu einer Schaltung, die im Bild 5.8 dargestellt ist, zusammenzufassen. Befindet sich das Ansteuersignal A für die Analogschalter auf Eins, dann erfolgt die Einspeisung über R und die Rückführung über das R-2R-Netzwerk. Damit ergibt sich

$$\text{für } A = 1 : \quad V_G = \frac{1}{\beta}$$

und

$$\text{für } A = 0 \quad V_G = \alpha \cdot$$

Damit ist aber ein Verlust an Auflösung verbunden, wenn man bei der gleichen Länge des Steuerworts bleiben will; denn für das Signal A muß das LSB geopfert werden.

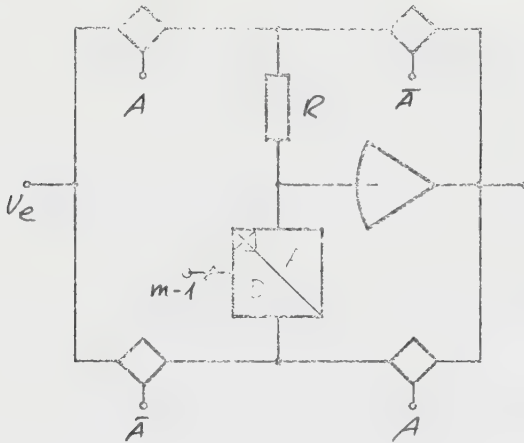


Bild 5.8

Mit vier zusätzlichen Analogschaltern kann der Verstärkungsfaktor eines Operationsverstärkers in sehr weiten Bereichen gesteuert werden

Hier wurde ein anderer Weg eingeschlagen, um den Fehler in der Verstärkungseinstellung möglichst unter dem der Sekantenapproximation zu halten: Durch zusätzliche Eingangsbeschaltung des multiplizierenden D/A-Wandlers mit einem Serienwiderstand ist die Verstärkung für ein Steuerwort $(1..1)_2$ welches dem Bereich A zugeordnet wird, auf den Wert 0.5858 herabgesetzt worden. Die Tabelle 5.2 enthält für diesen Fall die Ausgangsworte des Festwertspeichers (ROM) und den Fehler der Verstärkungsapproximation,

Segment	Verstärkung	ROM Wort	Fehler %
A	0.5858	255	0
B	0.8284	180	1.6
C	1.1715	127	3.9
D	1.6865	90	1.7
E	2.3431	64	3.9
F	3.3137	45	1.7
G	4.6862	32	3.9
H	11.314	13	15.6
V = 1	1.000	149	2.5

Tabelle 5.2

*Ausgangsworte des Festwert-
speichers und der Fehler der
Verstärkungseinstellung*

welcher bis auf denjenigen des Bereichs H unter dem der Sekantenapproximation liegt. Bild 5.9 zeigt die gegenüber Bild 4.3 geänderte Schaltung, welche zusätzlich den Eingangswiderstand und das ROM zur Bereichs/Verstärkungswert-Codierung enthält.

In einem handelsüblichen 2kbit PROM (256 Worte zu 8 bit) lassen sich damit die Kennlinienkorrekturen von 32 Meßwertaufnehmern speichern.

Wünscht man eine genauere Approximation, das heißt, eine feinere Unterteilung der Kompensationskennlinie, so kann dies durch eine zusätzliche Abfrage des auf das höchste relevante Bit folgende Bit durchgeführt werden; das heißt mit anderen Worten, daß der Bereich A (0.5 - 1) zum Beispiel in A1 (0.5 - 0.75) und A2 (0.75 - 1) unterteilt wird. Die Approximationsfehler für die Sekantennäherung geht ebenfalls aus Bild 5.6 hervor. Es ist offensichtlich, daß damit ein zusätzlicher Eingang des ROM belegt wird, sodaß in dem ROM der beschriebenen Größe nur noch 16 Kennlinien gespeichert werden können.

5.4 Halblogarithmischer linearisierender Wandler

Die einzelnen Segmente der x^2 -Kennlinie des Ausführungsbeispiels sind bisher so normiert worden, daß sich die Steigung $m = 1$ ergibt. Wenn man den Gedankengängen über die Vollaussteuerung des FAD-Wandlers bei der Herleitung des GAD-Wandlers folgt, dann bietet es sich an, hier fol-

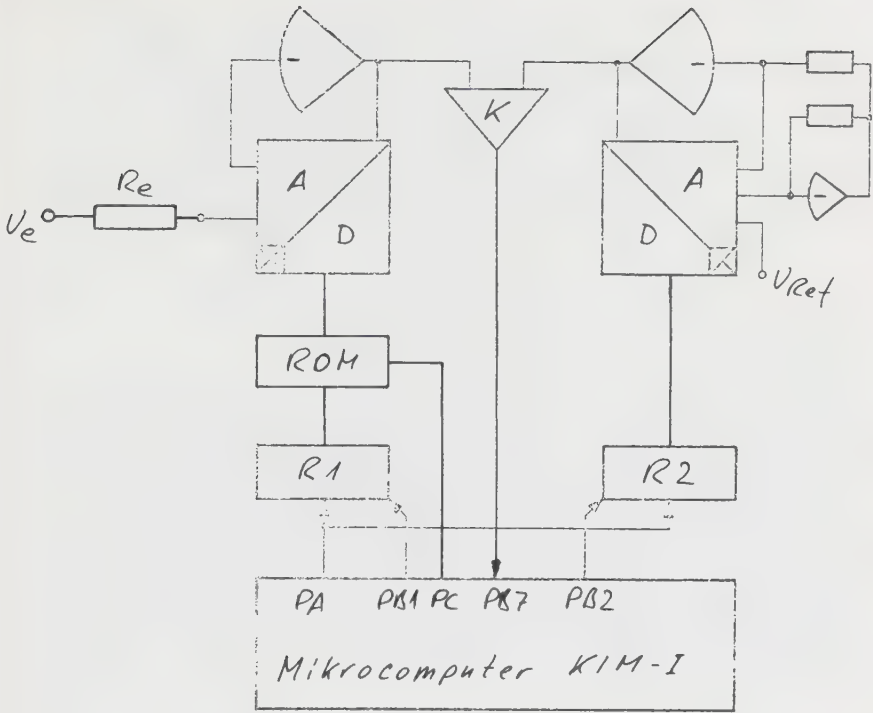


Bild 5.9

Struktur des linearisierenden A/D-Wandlers

gendes zur Vergrößerung des dynamischen Bereichs zu tun:

- o Erhöhung der Korrekturverstärkung um Faktoren 2^9 , bis der FAD-Wandler nach der Bereichsfeststellung fast voll ausgesteuert ist
- o FAD-Wandlung
- o Entnormierung auf Eins, d.h. rechtsschieben im Digitalteil
- o Korrekturaddition.

Im Bild 5.7 sind strichpunktiert die zusätzlich verstärkten Segmente eingetragen und in der Tabelle 5.1 die zugehörigen Multiplikatoren aufgeführt.

6. STATISCHE MEHRKANALIGE ANALOG/DIGITAL-WANDLER

In diesem Abschnitt wird eine neue Methode vorgestellt, welche die gleichzeitige Wandlung mehrerer analoger Eingangsspannungen mit einem mikrocomputergesteuerten Konverter gestattet. Daraus resultiert ein höherer Datendurchsatz und eine bessere Ausnutzung des Prozessors. Die aufwandoptimale Lösung für 8 Kanäle wird angegeben und resultiert in einer effektiven Wandlungszeit von 83 μ s pro Kanal bei einer Programmlänge von nur 94 Bytes.

6.1 Das Prinzip der vertikalen Analog/Digital-Wandlung

Herkömmliche Baugruppen zur Meßdatenerfassung für Mini- und Mikrocomputer sind durchweg nach dem in Bild 6.1 angegebenen Prinzipschaltbild aufgebaut (/6/,357). Die zu wandelnden Analogspannungen U_A werden mit dem Multiplexer nacheinander abgetastet, durch den in seinem Verstärkungsfaktor programmierbaren Verstärker V in gewissen Grenzen vorbearbeitet und im Abtasthalteglied AH für die Dauer der nachfolgenden Analog/Digital-Konversion gespeichert. Der Wandler verfügt über ein eigenes Steuergerät SG, welches den Abgleichalgorithmus enthält und das Konversionsende über eine Signalleitung meldet.

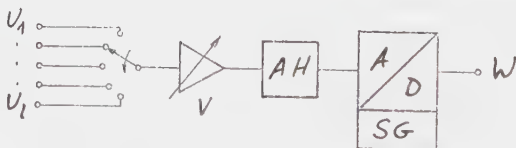


Bild 6.1

Prinzip der analogen Datenerfassung
für Digitalregler

Ist $\Delta t = t_v + t_w$ die Summe aus der Einschwingzeit t_v des Verstärkers und der Wandlungszeit t_w des Konverters, dann werden die gewandelten Digitalworte Repräsentanten von $U_1(t_1)$, $U_2(t_2)$, ... $U_i(t_i)$ sein, wobei $t_i - t_{i-1} = \Delta t$ ist.

Gleichzeitige Erfassung mehrerer Meßgrößen ist demnach mit dieser Struktur prinzipiell nicht möglich. Vielmehr muß dazu das Abtasthalteglied in entsprechend erhöhter Anzahl vor den Multiplexer gelegt werden, wie dies im Bild 6.2 dargestellt ist. An die Abfallrate der Abtasthalteglieder werden damit höhere Anforderungen gestellt, denn für die größte Halte-

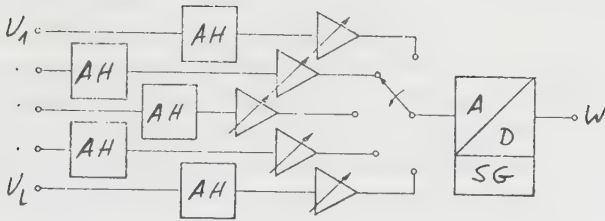


Bild 6.2

Gleichzeitige Erfassung mehrerer Analogwerte

zeit gilt nun $t_{\text{hmax}} = l \cdot t_w$, wobei l die Anzahl der Analoggrößen ist. Besonders bei der Verwendung eines Mikrocomputers als Steuergerät mit der entsprechend größeren Wandlungszeit gewinnt dieser Punkt an Bedeutung.

Es erscheint darum einmal interessant zu sein, eine weitere Parallelisierung durch mehrfachen Aufbau der Analog/Digital-Wandler zu untersuchen, zumal die dazu notwendigen Digital/Analog-Wandler in letzter Zeit eine erhebliche Verbilligung erfahren konnten. Den parallel an den Ausgängen der Abtasthalteglieder stehenden Spannungen $U_{\lambda h}$, die sich zu einem Vektor zusammenfassen lassen:

$$(k_1 U_{1h}, k_2 U_{2h}, k_3 U_{3h} \dots k_l U_{lh})^T = \underline{U}$$

werden mit den Wandlungen Digitalworte W_λ zugeordnet

$$U_\lambda \Rightarrow W_\lambda = \sum_{\mu=1}^m a_{\lambda\mu} b_\mu \quad \lambda = 1 \dots l; b_\mu = 2^{-\mu}$$

wobei m deren Wortlänge ist.

$$\underline{b}^T = (2^{-1}, 2^{-2}, 2^{-3} \dots 2^{-m})^T$$

ist der Vektor der negativen Potenzen von 2.

In Matrizendarstellung lassen sich dann die Digitalworte W_λ schreiben als:

$$\underline{W} = \underline{A} \cdot \underline{b}$$

Die Konversion ist genau dann beendet, wenn das Kriterium

$$\underline{A} \cdot \underline{b} - \underline{U} = \underline{\varepsilon} \quad \varepsilon_\lambda < 2^{-m} \quad 1 \leq \lambda \leq l$$

erfüllt ist, wobei $\underline{\epsilon}$ ein Fehlervektor ist, dessen Elemente kleiner als das niedrigstwertige Bit des Digitalwortes W_A sein müssen. Der Ablauf der Wandlung mit dem Algorithmus der sukzessiven Approximation und Multiplexer am Eingang des Wandlers bedeutet in der Matrixdarstellung zuerst die Auswahl einer Zeile der Matrix $\underline{A}$ und darauffolgend die Manipulation eines Elements dieser Zeile nach dem anderen, gesteuert vom Vorzeichen des Fehlers. Beim Abgleichvorgang sind also $\underline{A}$ und $\underline{\epsilon}$ diskret zeitabhängig:

$$\underline{A}(\mu T) \cdot \underline{b} - \underline{U} = \underline{\epsilon}(\mu T)$$

mit $\mu = 0 \dots m$ beim SAR-Algorithmus und T als der Zykluszeit des SAR-Steuererregers.

Ein Beispiel soll dies verdeutlichen: Die Wortlänge sei 4 bit und die normierte Eingangsspannung $U_1 = 0.65$. Es seien insgesamt 4 Eingangsspannungen zu wandeln, so daß die Matrix $\underline{A}$ 4 Spalten und 4 Zeilen enthält.

Beispiel 6.1

a_{11} setzen

$$\underline{A}^*(0) = \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}; W_1^*(0) = 0.5 \Rightarrow \epsilon_1 < 0$$

a_{11} bleibt, a_{12} setzen

$$\underline{A}^*(T) = \begin{pmatrix} 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}; W_1^*(T) = 0.75 \Rightarrow \epsilon_1 > 0$$

a_{12} rücksetzen, a_{13} setzen

$$\underline{A}^*(2T) = \begin{pmatrix} 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}; W_1^*(2T) = 0.625 \Rightarrow \epsilon_1 < 0$$

a_{13} bleibt, a_{14} setzen

$$\underline{A}^*(3T) = \begin{pmatrix} 1 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}; W_1^*(3T) = 0.6875 \Rightarrow \epsilon_1 > 0$$

a_{14} rücksetzen

$$\underline{A}(3T) = \begin{pmatrix} 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}; W_1(3T) = 0.625$$

Konversionsende.

Anwahl der nächsten Eingangsgröße
und Bearbeitung der zweiten Zeile

Wie man an diesem Beispiel leicht sieht, wird jeweils immer nur ein Element der Matrix manipuliert. Für eine $l \times m$ -Matrix, das heißt ein System mit l Analogeingängen und einer Wortlänge des Wandlers von m bit, werden genau $l \times m$ Operationen der beschriebenen Art notwendig. Wird ein Mikrocomputer als Steuergerät für diesen Analog/Digital-Wandler eingesetzt, dann ist offensichtlich, daß der Prozessor unterbeschäftigt ist und sich mit bitweisen Entscheidungsschritten, zu denen eine komplizierte Maskierung im Programm eingebaut sein muß (33), die Zeit vertreibt. Es wird postuliert, daß der Prozessor genau dann optimal ausgenutzt wird, wenn er die meiste Zeit mit seiner vollen Wortlänge arithmetische Operationen oder Entscheidungsprozesse durchführt. Wie der Prozessor in diesem Fall voll beschäftigt wird, soll im folgenden dargelegt werden.

Betrachtet man die grundsätzliche Bearbeitungsrichtung der Matrix A , dann ist einleuchtend, daß diese von links nach rechts, das heißt in Richtung fallender Wertigkeit der Vergleichsnormale erfolgen muß. Die Bearbeitungsfolge in vertikaler Richtung hingegen ist keiner Beschränkung unterworfen, da die zu wandelnden Spannungen U_{λ} an den Ausgängen der Abtasthalteglieder gleichzeitig zur Verfügung stehen. Insbesondere spricht nichts dagegen, die Bearbeitung einer vollständigen Spalte gleichzeitig durchzuführen. Die gleichzeitige Bearbeitung aller Stellen gleicher Wertigkeit, welche sich in der Matrixschreibweise als Spaltenoperation zeigt, wird als vertikale Analog/Digital-Wandlung bezeichnet.

Bild 6.3 verdeutlicht den Unterschied der beiden Verfahren, wobei das herkömmliche als horizontales Verfahren bezeichnet werden kann, am Beispiel zweier analoger Eingänge U_1 und U_2 bei 5 bit Auflösung der Wandler: Nach dem herkömmlichen Verfahren erfolgt zuerst die Wandlung der Größe U_1 während der Zeit t_0 bis t_5 , worauf dann die Konversion von U_2 in fünf weiteren Schritten bis t_{10} durchgeführt wird. Demgegenüber läuft der gleichzeitige Wandlungsprozeß der vertikalen Analog/Digital-Wandlung in nur fünf Schritten von t_0 über t_1 bis zum Konversionsende bei t_5 .

Der heutzutage als Standard angesehene 8 bit Mikroprozessor kann auf diese Weise gleichzeitig bis zu acht Entscheidungen treffen, das heißt, den SAR-Algorithmus von 8 Analog/Digital-Wandlern steuern. Die dadurch mögliche gleichzeitige Erfassung von acht Meßgrößen dürfte, gerade im Hinblick auf moderne Zustandsregler, einen weiten Anwendungsbereich abdecken.

Bevor auf die Überlegungen zur schaltungstechnischen Realisierung eingegangen wird, soll an einem Beispiel gezeigt werden, welche wirklich ein-

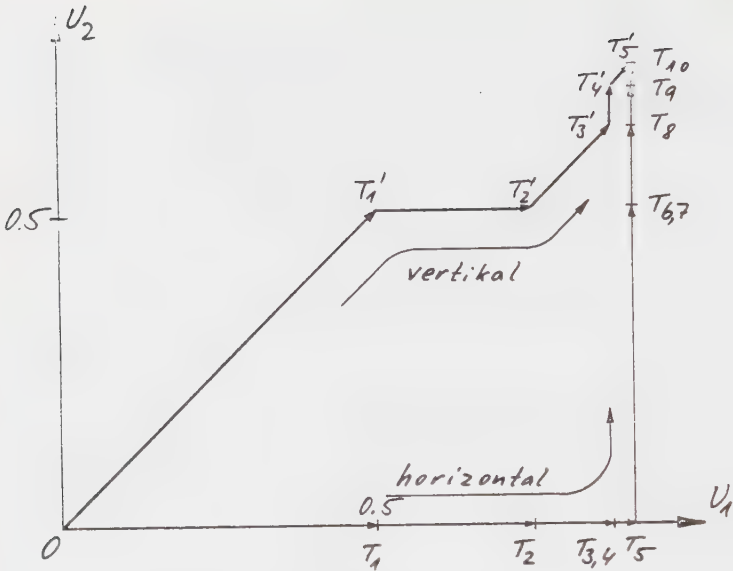


Bild 6.3

Approximationsvorgang bei der horizontalen
und vertikalen A/D-Wandlung für $l = 2$ und
 $m = 5$

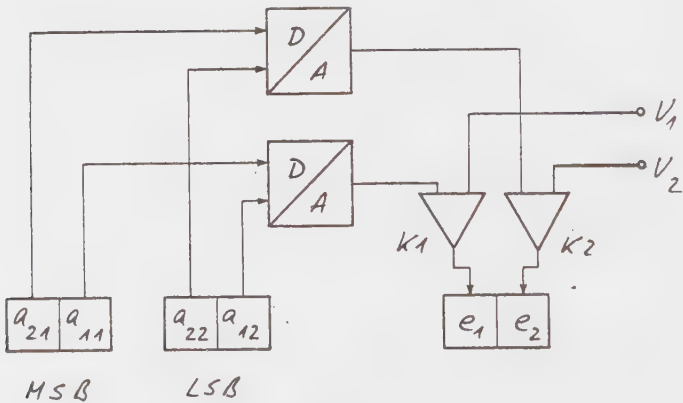


Bild 6.4

Die Peripheriestruktur für einen vertikalen
A/D-Wandler mit $l = m = 2$

facher Abgleichalgorithmus und damit geringer Programmieraufwand dazu gehört. Im Bild 6.4 ist die dazu notwendige Peripheriestruktur für eine Wortlänge von 2 bit angegeben. Die höchstwertigen Bits (MSB) aller D/A-Wandler erscheinen am Ausgangsport PA, während die niedrigstwertigen (LSB) von PB gesteuert werden. Die D/A-Wandler setzen die Digitalworte in entsprechende analoge Spannungen um, die mit den Komparatoren K_1 und K_2 mit den Eingangsspannungen U_1 und U_2 verglichen werden. Deren Entscheidungen e_1 und e_2 ($e_1 = \text{sgn } \mathcal{E}_1$, $e_2 = \text{sgn } \mathcal{E}_2$) übernimmt dann das Eingangsregister PC. Die normierten Eingangsspannungen seien im folgenden Beispiel 6.2: $U_1 = 0.6$, $U_2 = 0.3$.

Beispiel 6.2 $U_1 = 0.6$; $U_2 = 0.3$

PA setzen ($a_{11} = 1$, $a_{21} = 1$)

$$\underline{A}^*(0) = \begin{pmatrix} 1 & 0 \\ 1 & 0 \end{pmatrix} \left. \begin{array}{l} \hat{w}_1^*(0) = 0.5 \quad \mathcal{E}_1 < 0 \\ \hat{w}_2^*(0) = 0.5 \quad \mathcal{E}_2 > 0 \end{array} \right\} \Rightarrow PC(0) = \begin{pmatrix} 1 \\ 0 \end{pmatrix}$$

Der an PC anstehende Vektor $(e_1, e_2)^T$ wird nach PA umgespeichert und bildet damit die erste Spalte der $\underline{A}$ -Matrix.

Jetzt wird PB gesetzt: ($a_{12} = 1$, $a_{22} = 1$)

$$\underline{A}^*(T) = \begin{pmatrix} 1 & 1 \\ 0 & 1 \end{pmatrix} \left. \begin{array}{l} \hat{w}_1^*(T) = 0.75 \quad \mathcal{E}_1 > 0 \\ \hat{w}_2^*(T) = 0.25 \quad \mathcal{E}_2 < 0 \end{array} \right\} \Rightarrow PC(T) = \begin{pmatrix} 0 \\ 1 \end{pmatrix}$$

Der Inhalt des Eingangsregisters PC wird jetzt nach PB transferiert und komplettiert damit die Wandlung:

$$\underline{A}(T) = \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix} \quad \begin{array}{l} \hat{w}_1(T) = 0.5 \\ \hat{w}_2(T) = 0.25 \end{array}$$

Aus diesem Beispiel lassen sich folgende, allgemein gültigen Schlüsse ziehen:

- o Der Peripherieaufwand (Eingangs/Ausgangsanschlüsse) steigt;
- o der Programmaufwand ist minimal und beschränkt sich auf wenige Transferbefehle;
- o die Matrix $\underline{A}$ steht spaltenweise, wie im Bild 6.5 gezeigt, im Speicher des Mikroreglers und nicht zeilenweise, wie sie für arithmetische Befehle benötigt wird.

Für die Weiterverarbeitung muß nun diese Matrix transponiert werden.

6.2 Statischer Mehrfachwandler

Im folgenden werden drei Methoden der Ansteuerung der Digital/Analog-Wandler und zur Umordnung der Matrixelemente dargestellt, die sich wesentlich im Bauteileaufwand und der Ausführungszeit unterscheiden. Dabei wurde besonderer Wert darauf gelegt, sämtliche externen Anschlüsse unidirektional auszulegen, das heißt die Datenflußrichtung von vornherein auf eine Richtung zu beschränken. Das hat entscheidende Konsequenzen für die galvanische Trennung der Peripherie durch Optokoppler.

Die minimale Anzahl von Eingangs/Ausgangsanschlüssen des Mikrocomputers läßt sich bereits aus Bild 6.4 entnehmen: Notwendig sind 1 Eingänge für die Komparatorentscheidungen e_1 und 1 Ausgänge für die Ansteuerung von 1 Digital/Analog-Wandlern. Wie vorhin beschrieben, wird ja immer nur ein Ausgangsport geändert und die übrigen können in externen Registern zwischengespeichert werden. Zur Ansteuerung dieser Registerbank, die im folgenden in ihrer Struktur näher erläutert wird, sind noch einige Steuersignale erforderlich, die weitere Ausgangsleitungen benötigen.

Das Blockschaltbild der Methode A, welche mit der geringsten Anzahl von Eingangs/Ausgangsanschlüssen auskommt, ist für $l = 4$, $m = 4$ im Bild 6.5 dargestellt.

Über den Ausgangsport PA können die Register geladen werden, deren Anwahl und Taktung über PB erfolgt. An PC wird die Komparatorentscheidung erfaßt. Da die Inhalte der Registerbank nach dem Setzen nicht mehr gelesen werden können, ist es notwendig, eine Kopie davon im Speicher abzulegen, die zweckmäßigerweise gleich aus dem Inhalt des PC-Registers gewonnen wird. Diese Kopie S_m besteht aus m Worten der Länge l . Im Beispiel nach Bild 6.5 sind dies vier Worte $S_1 \dots S_4$, von denen S_1 die höchstwertigen Bits und S_4 die niedrigstwertigen Bits der Worte $W_1 \dots W_4$ enthalten.

Die Takterzeugung für die Registerbank über einen Ausgangsanschluß benötigt keine zusätzlichen externen Bausteine, hat aber den Nachteil, daß Takte unterhalb einer Pulsbreite von $3 \mu s$ (bei 1 MHz Taktfrequenz für den Mikroprozessor MCS 65XX) nicht zu realisieren sind. In zeitkritischen Fällen sollte die Takterzeugung durch Decodierung des Adreßbusses für die Adresse von PB und nachfolgende Pulsformung realisiert werden. Für diese

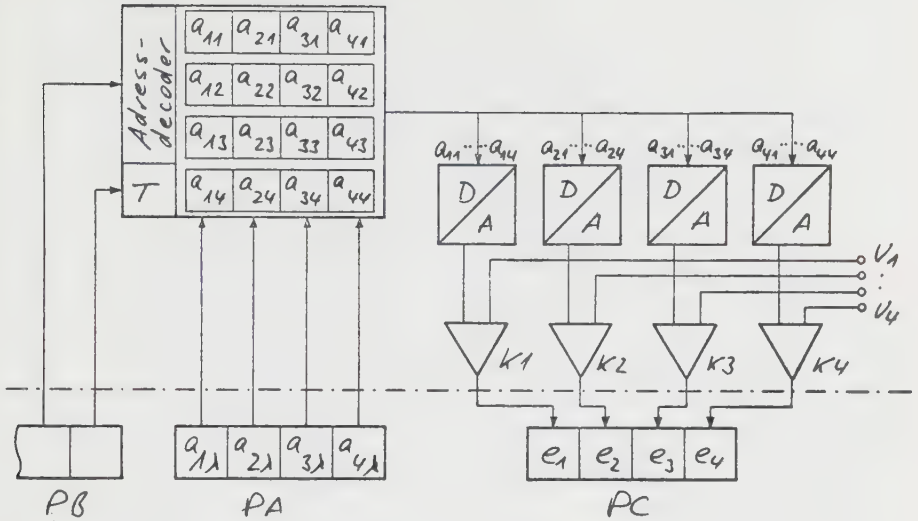


Bild 6.5

Prinzipschaltbild eines vertikalen A/D-Wandlers nach der Methode A

beiden Fälle ergeben sich die in der Tabelle 6.1 charakterisierten Kenngrößen. Diese Ausführungszeit betrifft die reine Wandlungszeit, bis also die Kopie S_m im Speicher steht. Hinzu kommt dann noch die Zeit für die Transponierung, bis das Wandlungsergebn in weiterverarbeitbarer Form im Speicher steht.

Taktart	Programmlänge (Byte)	Ausführungszeit für 8 bit (μs)
Hardwaretakt	30	300
Softwaretakt	42	500

Tabelle 6.1

Programmlänge und Ausführungszeit
für mikrocomputergesteuerte A/D-
Wandlung

Die Anzahl der Eingangs/Ausgangsanschlüsse hängt jetzt von der Anzahl der Wandler l , deren Wortlänge m und der Art der Adreßdecodierung der Register in der Registerbank ab. Wird letztere durch einen externen Zähler realisiert, dann sind für diesen nur zwei Steueranschlüsse nötig, nämlich für Rücksetzen und Zählen. Ein Multiplexer für den gleichen Zweck erfordert

$m^* = \text{INT}(1d\ m) + 1$ Steuersignale für $m \geq 3$. Daraus ergibt sich die Anzahl der notwendigen Eingangs/Ausgangsleitungen zu:

$$N_{E/A} = 1(PA) + 1(PC) + 1(\text{Takt aus PB}) + m^*(PB)$$

Kennzeichnet man die verschiedenen Möglichkeiten durch die Anzahl der E/A-Anschlüsse und die Zahl der zusätzlich erforderlichen externen Speicher und Auswahlhaltungen in der Kurzform

Zahl der E/A-Anschlüsse	Zahl der Zusatzbausteine
----------------------------	-----------------------------

dann gilt für $l = m = 8$:

Adressierung durch Zähler 19 / 9

Adressierung durch Multiplexer 20 / 9

Direkte Anwahl der Register über PB 25 / 8

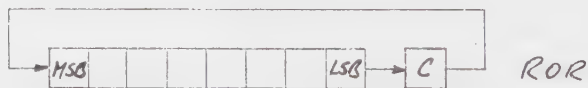
Dies sind, wie sich später zeigen wird, die Lösungen mit der kleinsten Anzahl von E/A-Leitungen.

Zu der Wandlungszeit, die in der Tabelle 6.1 schon angegeben wurde, kommt jetzt noch die Zeit für die Transponierung der Matrix, bevor das Wandlungsergebnis in einer Form vorliegt, die eine arithmetische Weiterverarbeitung ermöglicht. Es muß jetzt also

$$W = S^T$$

gebildet werden. Diese Umordnung erfolgt zweckmäßigerweise über den Übertragsspeicher (Carry bit) des Prozessors, welcher durch Rechtsschieben von S_m gesetzt und dann durch Linksschieben jeweils an die letzte Stelle von W_1 eingefügt wird.

Die Mikroprozessorbefehle, welche für diese Transponierung benutzt werden, sind ROR (rotate right) mit der symbolisch dargestellten Funktion (20/)



als Ausgangsbefehl und ROL (rotate left) mit der Symbolik



als Eingangsbefehl. Der Zeitbedarf für die beiden Operationen hängt nun davon ab, auf welche Speicherstelle diese Schiebepfehle angewendet werden und auf welche Art dieser Speicher adressiert wird. Der Auszug aus der Befehls-codetabelle des verwendeten Mikroprozessors MCS 65XX für die Befehle ROR und ROL in der Tabelle 6.2 zeigt deutlich, daß möglichst Akkumulator oder Seite 0 - Befehle genommen werden sollten. Insbesondere bedeutet dies, daß die Kopie des Inhalts der Registerbank in der Seite 0 des Speichers stehen sollte. Eine Zusammenstellung der Anzahl der benötigten Programmspeicherplätze und der erforderlichen Zyklen N als Maß für die Ausführungszeit der Transponierung ist für ein lineares Programm und ein Schleifenprogramm für verschiedene Speicherbereiche der Kopie S_m findet sich in der Tabelle 6.3. Die Ausführungszeit wird in Zyklen angegeben. Beim verwendeten Prozessor entspricht eine Zykluszeit genau der reziproken Taktfrequenz, d.h. $1 \mu s$ bei 1 MHz Takt.

Registertyp/Adressierung Akku Seite 0 Absolut Seite 0,X Absolut,X

Zyklen (N)	2	5	6	6	7
Befehlslänge (Byte)	1	2	3	2	3

Tabelle 6.2

Zeitbedarf und Befehlswortlänge
für die Schiebepfehle ROR, ROL

Speicher lineares Programm Schleifenprogramm

Seite 0	480	880	Zyklen (N)
	27	11	Bytes
Absolut	544	944	Zyklen (N)
	35	12	Bytes

Tabelle 6.3

Ausführungszeit und Speicherbedarf
für die Transponierung mit dem C-bit

Das speicheroptimale Umordnungsprogramm umfaßt nur 11 Programmspeicherplätze, dauert dafür aber fast 1 ms bei 1 MHz Takt, während das zeitoptimale Programm mit einem rund dreifachen Speicherbedarf etwa die Hälfte dieser Zeit benötigt.

Vom Prinzip her ist dieses Umordnungsprogramm eine Serien/Parallel-Umsetzung, indem die einzelnen Stellen der Worte aus S_m seriell in den Übertragsspeicher eingeschoben werden und dann parallel durch Adressenänderung an die jeweils letzte Stelle der Worte W_j angefügt werden.

Solche Serien/Parallel-Wandlung kann nun aber auch durch externe Bauelemente in Form von Schieberegistern durchgeführt werden. Genauer gesagt, handelt es sich dabei um Register, welche über eine parallele Einspeicherung, parallele Ausgabe für die Steuerung der D/A-Wandler und serielle Ausgabe für die Umcodierung verfügen müssen.

Diese Überlegung führt direkt zur Realisierung des Mehrfachwandlers der Methode B, deren Blockschaltbild für vier Worte zu je vier bit im Bild 6.6 dargestellt ist.

Die Registerbank wird über PA parallel geladen, wobei die Taktung TP und die Registeranwahl wieder über PB läuft. Hinzu kommt noch ein Anschluß TS für den Schiebetakt. Nach beendeter Wandlung in der vorher beschriebenen Weise erfolgt dann das Herausschieben in der gekennzeichneten Richtung und Einspeichern in den Speicherbereich W_m über den Eingangsport PD in der Mitte des Bildes 6.6. Eine Kopie der Registerinhalte ist hierbei nicht mehr notwendig. Die Anzahl der Eingangs/Ausgangsleitungen ist hier:

$$N_{E/A} = 1(PA) + 1(PC) + m(PD) + 2(\text{Takte über PB}) + m^*(PB),$$

wobei bezüglich m^* , welches von der Adressierungsmethode der Registerbank abhängt, die gleichen Überlegungen der Methode A gelten.

Für $l = m = 8$ erhält man dann die folgende Klassifizierung nach Anzahl der E/A-Anschlüsse und der notwendigen digitalen Peripheriebausteine:

Adressierung durch Zähler	28/9
Adressierung durch Multiplexer	29/9
Direkte Anwahl der Register über PB	34/8

Für die verschiedenen Zieladressen, unter denen die Worte W_λ stehen können (Seite 0 oder absolut), sind in der Tabelle 6.4 die Ausführungszeiten und der Programmspeicherbedarf für ein lineares und ein Schleifenprogramm zusammengestellt.

Speicher	lineares Programm	Schleifenprogramm	
Seite 0	104	154	Zyklen (N)
	64	13	Bytes
Absolut	112	162	Zyklen (N)
	72	14	Bytes

Tabelle 6.4

Ausführungszeit und Speicherbedarf für die
Transponierung mit der externen Registerbank

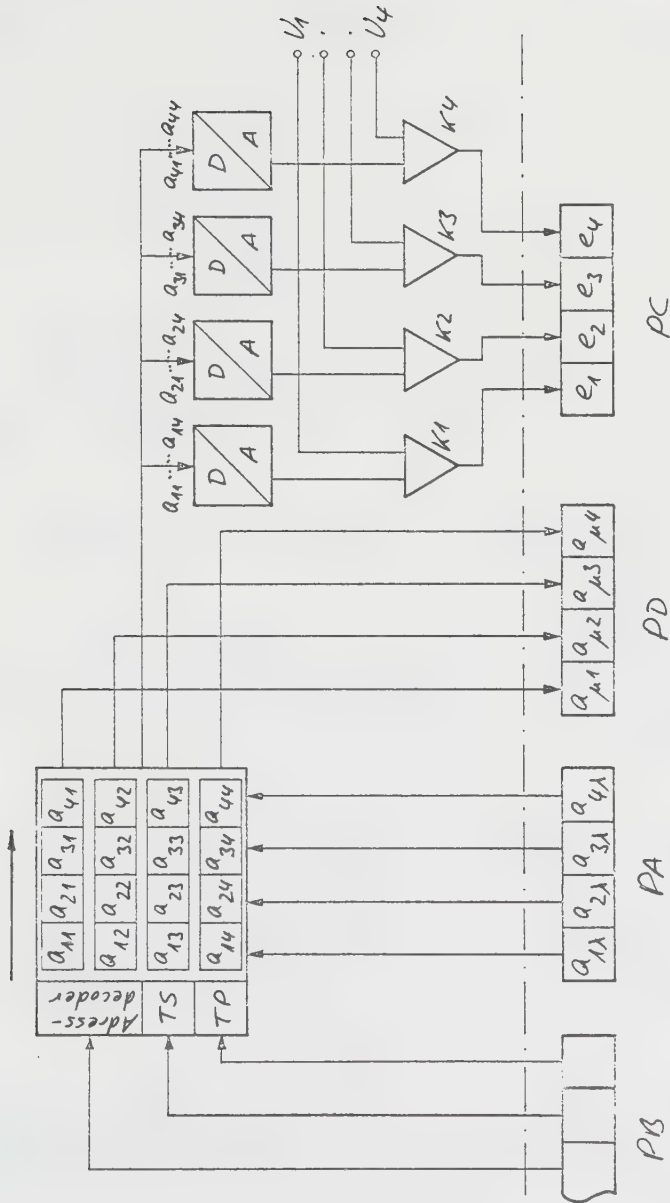


Bild 6.6

Prinzipschaltbild eines vertikalen A/D-Wandlers nach der Methode B mit Parallel-Parallel/Serien-Schieberegister zur Matrixtransponierung

Gegenüber der vorher dargestellten Methode A konnte die Zeit für die Matrixtransponierung drastisch reduziert werden, ohne beim Schleifenprogramm wesentlich mehr Programmspeicherplätze zu investieren, wohingegen eine gute Verdoppelung der Programmlänge des linearen Programms immerhin noch eine knappe Verfünfachung der Ausführungsgeschwindigkeit brachte. Dies war möglich, um es noch einmal zusammenzufassen, durch den Einsatz zusätzlicher Hardware, in diesem Falle von mehr Eingangsleitungen. Als geeignete Registerbausteine kamen dabei im wesentlichen die CMOS-Register 74C199 in Frage, welche die notwendige Pegelkompatibilität zum Peripheriebaustein des Mikroprozessors MCS 65XX besitzen.

Vorteilhaft ist auch hier die Optokopplung möglich, da alle Leitungen unidirektional ausgeführt sind; die strichpunktierte Linie im Bild 6.6 gibt wieder die Schnittlinie für die minimale Anzahl von Optokopplern. Allerdings fehlt auch hier die direkte, sofortige Überprüfbarkeit der Steuersignale für die D/A-Wandler. Zur Realisierung dieser Forderung sind zwei Wege denkbar:

- o Zusätzliche Demultiplexer an den Registerausgängen und ein zugeordneter Kontrollport oder
- o Verzicht auf die Registerbank und damit die externe Speicherung.

Die zweite Möglichkeit soll hier näher betrachtet werden, denn sie führt zum schnellsten, allerdings auch aufwendigsten Transponierungsverfahren C.

Als Speicher finden jetzt ausschließlich Ausgangsports Verwendung, wie dies im Bild 6.7 für zwei Worte zu je zwei bit dargestellt ist.

Der Schaltungsteil unterhalb der Bilddiagonalen entspricht genau dem Bild 6.4, in welchem die prinzipielle Peripheriestruktur des neuen Mehrfachwandlungsverfahrens angegeben wurde. Zu den dort dargestellten Ausgangsports S_{μ} zur Ansteuerung der D/A-Wandler kommt hier noch eine Reihe von Eingangsports W_{λ} - am linken Bildrand - welche derart mit den S_{μ} -Ports verbunden sind, daß die Transponierung der A-Matrix durchgeführt wird. Der Schaltungsteil oberhalb der strichpunktierten Linie bleibt vorerst außer Betracht; auf ihn wird später eingegangen.

Diese Methode C kommt vollständig ohne systemfremde Komponenten wie Register und ähnliches aus und gestattet die sofortige Überprüfbarkeit der Worte in S_{μ} , denn die E/A-Ports können wie eine Speicherzelle gelesen werden. Die Anzahl der benötigten E/A-Anschlüsse berechnet sich zu:

$$N_{E/A} = 1 \cdot m(PA) + 1 \cdot m(PB) + 1(P_C) = 1(2m + 1).$$

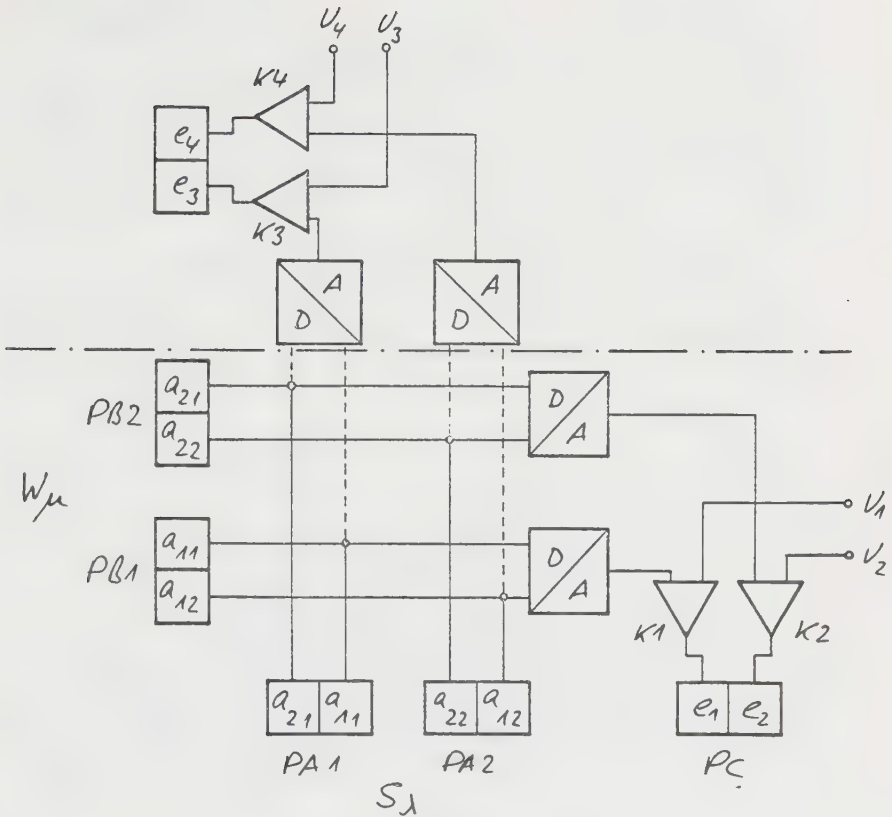


Bild 6.7

Prinzip des vertikalen A/D-Wandlers nach
der Methode C, welcher ohne externe Spei-
cher arbeitet

Für $l = m = 8$ ergibt sich damit für die Klassifizierung nach der Anzahl der E/A-Anschlüsse und der Zusatzbausteine:

136/0

Die bisher betrachtete Version C der Mehrfach-A/D-Wandlung enthält wie die vorher dargestellten Methoden ausschließlich unidirektionale E/A-Leitungen. Es ist aber zu überlegen, ob angesichts der großen Anzahl die Optokopplung zur galvanischen Trennung des Mikroreglers vom Prozeß nicht an eine andere Stelle, etwa in den Systembus, verlegt werden sollte.

Der Zeitbedarf für die Transponierung und die notwendige Programmspeicherlänge ist in der Tabelle 6.5 zusammengefaßt.

Da die Matrixtransponierung letztlich durch die externen Verbindungen der Ausgangs- und Eingangsports PA und PB miteinander geschieht, werden lediglich Datentransfers von dem Eingangsport PB zur Zieladresse der Worte W_A notwendig, was sich in den sehr kurzen Ausführungszeiten ausdrückt.

Speicher	lineares Programm	Schleifenprogramm	
Seite 0	56	106	Zyklen (N)
	40	10	Bytes
	64	114	Zyklen (N)
Absolut			
	48	11	Bytes

Tabelle 6.5
Ausführungszeit und Speicherbedarf für die
Transponierung mit E/A-Ports

Da die E/A-Ports der Mikroprozessor-Peripheriebausteine bidirektional sind, lassen sich über die PB-Ports weitere D/A-Wandler ansteuern, die im Bild 6.7 oberhalb der strichpunktiierten Linie eingezeichnet sind. Die PA-Ports werden dann als Eingänge programmiert und übernehmen die Transponierung nach

$$(\underline{A}^T)^T = \underline{A}.$$

Eine vergleichende Gegenüberstellung der drei Methoden zur Mehrfach-Analog/Digitalwandlung für $l = m = 8$ bezüglich des Programmspeicherbedarfs und der Ausführungszeit für die gesamte Wandlung mit Transponierung ist im Bild 6.8 dargestellt. Zugrunde gelegt wurde eine Softwaretaktung (siehe Tabelle 6.1), da diese von der Methode C implizit verlangt wird. Dabei zeigt sich deutlich die Überlegenheit der Methode B gegenüber A, wohingegen der Gewinn von Methode C unter Berücksichtigung des wesentlich höheren Aufwands sich vergleichsweise bescheiden ausnimmt. Führt man jetzt die Taktung der Registerbank der Methoden A und B hardwaremäßig durch, dann ergeben sich die in der Tabelle 6.9 dargestellten Verhältnisse, die den Schluß zulassen, daß die Methode B bezüglich

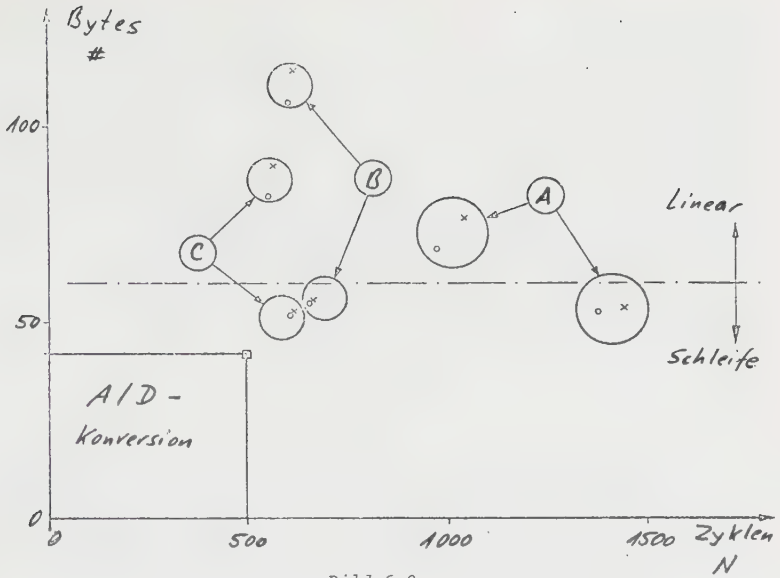


Bild 6.8

Vergleich der Methoden A, B und C bezüglich der Ausführungszeit und dem Programmspeicherbedarf für Softwaretakt

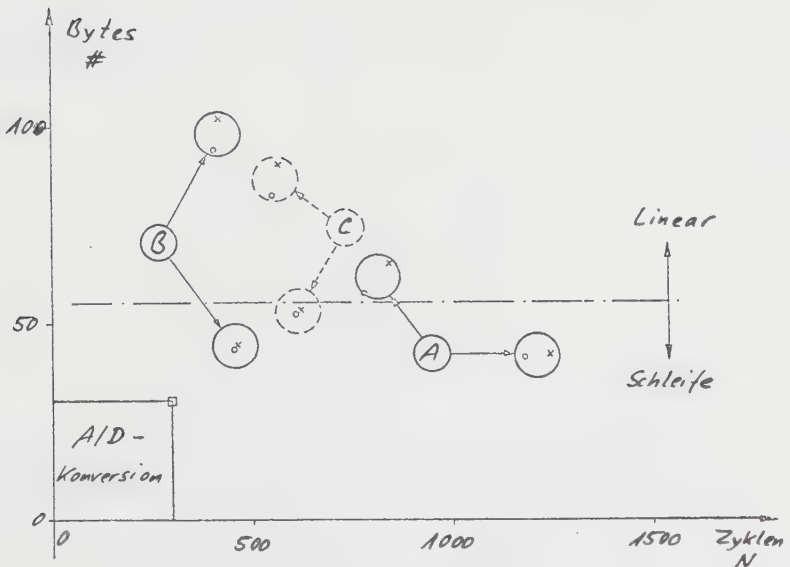


Bild 6.9

Vergleich der Methoden A und B für Hardwaretakt zeigt die Überlegenheit der Methode B

- o Ausführungszeit,
- o Programmspeicherbedarf und
- o Anzahl der E/A-Anschlüsse

optimal ist.

Die auf diese Weise erreichte kürzeste effektive Wandlungszeit pro Kanal liegt bei 83 μ s bei einem Speicherbedarf von 94 Bytes.

7. DYNAMISCHE MEHRFACHWANDLER

In diesem abschließenden Kapitel wird eines der ältesten Verfahren zur Digital/Analog-Wandlung, der SHANNON-RACK-Decoder, zur Grundlage eines wenig aufwendigen Mehrfachwandlers genommen. Es wird gezeigt, wie die Probleme, die bei seiner bisherigen Realisierung auftraten, mit Mikroprozessorhilfe gelöst werden können. Der dynamische Mehrfachwandler ist langsamer als der statische, hat aber bei Zugrundelegung heutiger Technologien effektive Wandlungszeiten von 1 ms pro Kanal, was für viele regelungstechnische Probleme ausreichend ist.

7.1 Das Prinzip des SHANNON-RACK-Decoders

Die Digital/Analog-Wandlung mit Hilfe des SHANNON-RACK-Decoders, der schon Ende der vierziger Jahre entwickelt und in der Literatur, zum Beispiel bei SCHMID (36) in mehreren Varianten ausführlich beschrieben wurde, sieht keine Wandlung durch die Addition gewichteter Ströme oder Spannungen vor, sondern benutzt den exponentiellen Verlauf der Kondensatorentladung in einem RC-Glied. Die Wirkungsweise anhand von Bild 7.1 sei im folgenden kurz angegeben: Über die Schließung des Schalters S_1 während der Zeit T kann der Kondensator C aus der idealen Stromquelle zeitlinear auf die Spannung U_C aufgeladen werden.

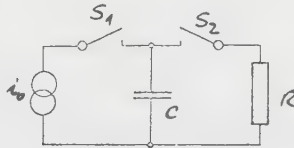


Bild 7.1

Prinzip des SHANNON-RACK-Decoders

$$U_C(\tau) = \frac{1}{C} i_0 T$$

Der Schalter S_2 ist während der Ladeperiode geöffnet. Wird dieser im Zeitpunkt T geschlossen, dann erfolgt ein Absinken der Kondensatorspannung gemäß

$$U_C(t-T) = U_C(\tau) \cdot e^{-\frac{(t-T)}{RC}}$$

bis zum Zeitpunkt $t = 2T$, in dem er wieder öffnet. Bei geeigneter Wahl der Zeitkonstanten RC zu

$$RC = -T \ln 0.5$$

ergibt sich ein Absinken der Kondensatorspannung nach jeder Öffnung von S_2 auf genau die Hälfte des ursprünglichen Wertes, wie dies im Bild 7.2 dargestellt ist. Werden während der Öffnung von Schalter S_2 über den Schalter S_1 weitere Ladungen auf den Kondensator aufgebracht, dann ergibt sich eine Superposition der Spannungen, die eine binäre Gewichtung der Betätigungen von S_1 bewirkt, wie in der Ableitung der Modifikation des SHANNON-RACK-Decoders noch nachgewiesen wird.

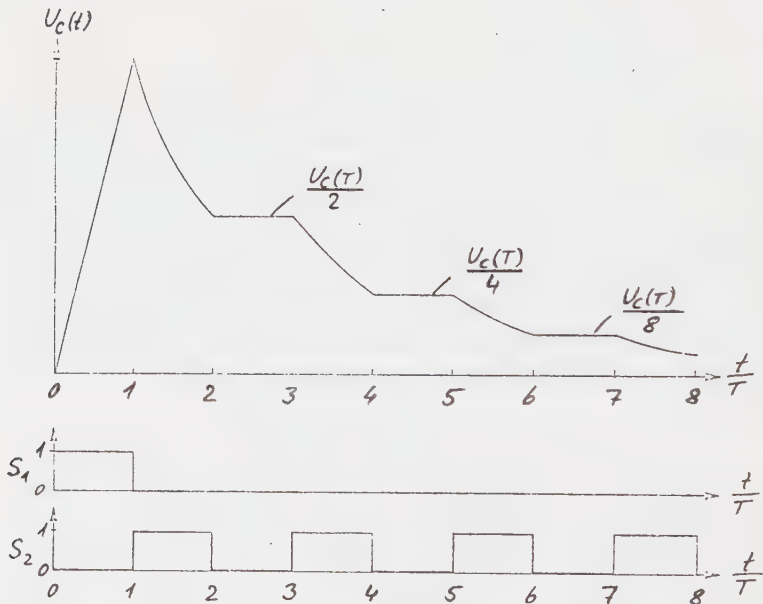


Bild 7.2
Informationseingabe mit S_1 und Gewichtung
durch S_2 beim SHANNON-RACK-Decoder

7.2 Der modifizierte SHANNON-RACK-Decoder

Statt der Stromquelle i_0 wird hier eine Konstantspannungsquelle u_0 verwendet, wie das Prinzipschaltbild 7.3 zeigt. Der Umschalter S steuert die Ladung (obere Stellung) und Entladung (untere Stellung) des RC-Gliedes. Während durch

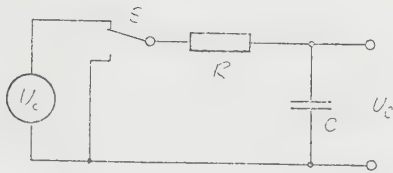


Bild 7.3

Prinzip des modifizierten SHANNON-RACK-
Decoders

$$U_c(t) = U_0 \left[1(t)(1 - e^{-\frac{t}{RC}}) - 1(t-T)(1 - e^{-\frac{t-T}{RC}}) \right]$$

die Reaktion des Tiefpasses auf einen einzelnen Impuls der Höhe u_0 und der Zeitdauer T beschrieben wird, ergibt sich für eine Pulsfolge

$$\{a_{m-\mu} U_0, a_{m-\mu-1} U_0, \dots, a_0 U_0\} \text{ mit } a_\mu = \begin{cases} 1 & \text{S oben} \\ 0 & \text{S unten} \end{cases}$$

$$U_c(t) = U_0 \cdot \sum_{\mu=0}^m a_{m-\mu} \left[1(t-\mu T)(1 - e^{-\frac{t-\mu T}{RC}}) - 1(t-(\mu+1)T)(1 - e^{-\frac{t-(\mu+1)T}{RC}}) \right]$$

Speziell für $t = mT$ sind alle $1(t_\mu) = 1$ und es gilt:

$$U_c(mT) = U_0 \cdot \sum_{\mu=0}^m a_{m-\mu} \left(-e^{-\frac{(m-\mu)T}{RC}} + e^{-\frac{m-(\mu+1)T}{RC}} \right)$$

Speziell ergibt sich für die Wahl der Zeitkonstanten RC zu

$$RC = -T/\ln(0.5)$$

$$U_c(mT) = U_0 \cdot \sum_{\mu=0}^m a_{m-\mu} \left(-e^{(m-\mu)\ln 0.5} + e^{(m-(\mu+1))\ln 0.5} \right)$$

und nach leichter Umformung:

$$U_c(mT) = U_0 \cdot \sum_{\mu=0}^m (-2^{-(m-\mu)} + 2^{-(m-\mu-1)})$$

Über den bei SCHMID (36/) verbal genannten Zusammenhang hinaus ergibt sich mit dieser Ableitung hier:

$$V_C(mT) = V_0 \cdot \sum_{\mu=0}^m a_{m-\mu} 2^{-(m-\mu-1)}$$

Bild 7.4 zeigt die Antworten des Systems auf Einzelerregungen für den Fall $m = 8$, dabei ist deutlich die um den Faktor Zwei steigende Gewichtung der einzelnen Stellen in Abhängigkeit von der Zeit zu erkennen.

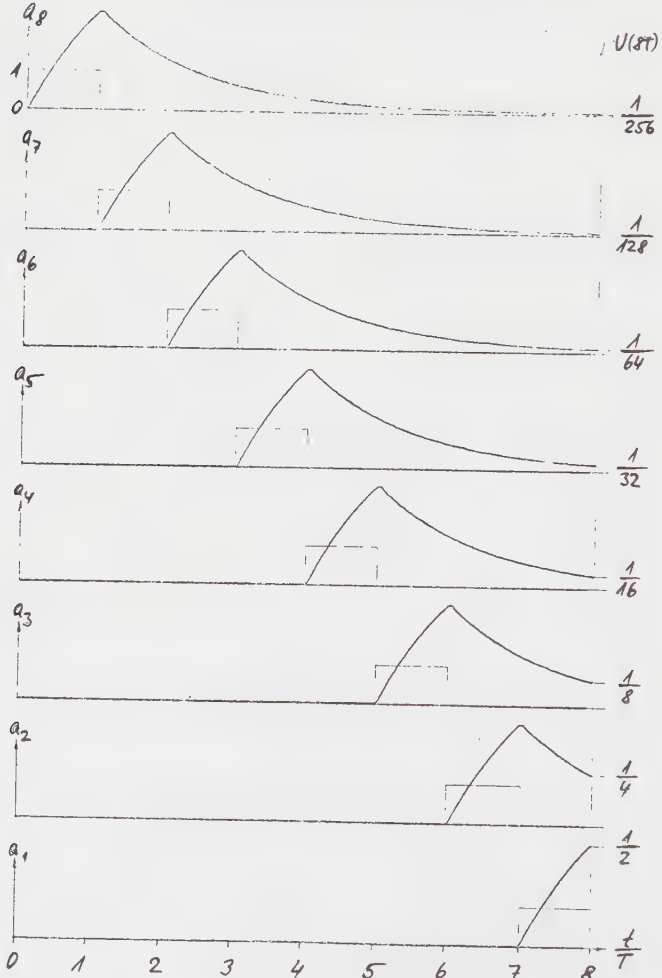


Bild 7.4

Antwort des modifizierten SHANNON-RACK-
Decoders auf Einzelerregungen mit um den
Faktor Zwei steigenden Wertigkeiten

Die Gesamtantwort auf eine Folge $a_8 \dots a_1$ besteht nun aus einer Superposition der Elementarantworten nach Bild 7.4 und ist für die letzten vier Stellen als Ergebnis einer Analogrechnersimulation im Bild 7.5 dargestellt. Hier ist nun deutlich die gleichmäßige Stufung der Kondensatorspannungen zum Zeitpunkt $t = 8T$ zu erkennen.

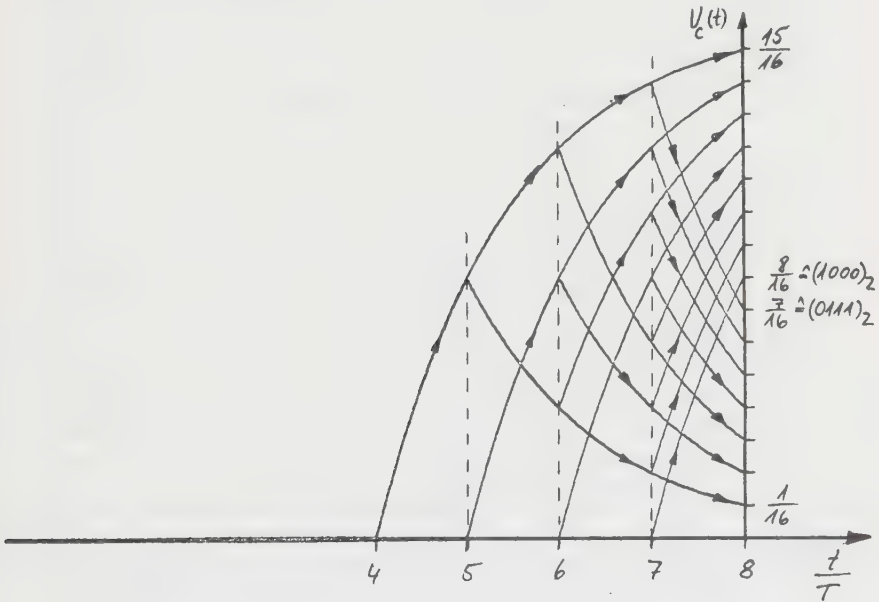


Bild 7.5

Die Erregung des mod. SHANNON-RACK-Decoders mit den höchstwertigen 4 bit liefert zum Abtastzeitpunkt $t = 8T$ 16 gleichmäßig gestufte Analogwerte

Ein Ausführungsbeispiel für diesen modifizierten SHANNON-RACK-Decoder findet sich bei KUTE und HARPER (37). Bild 7.6 zeigt den Aufbau dieser Schaltung unter Verwendung des seriellen Ausgangs beim SC/MP-Mikroprozessor. Das zu wandelnde Digitalwort wird aus dem E-Register mit der niedrigstwertigen Stelle a_m zuerst herausgeschoben, über das CMOS-Gatter leistungsmäßig entkoppelt, über das RC-Glied, wie vorhin beschrieben, bewertet und dann zum Zeitpunkt $t = mT$ abgetastet und gehalten.

Das vereinfachte Ersatzschaltbild 7.7 enthält den Innenwiderstand R_i des CMOS-Treibers und den Eingangswiderstand R_e des Abtasthaltegliedes.

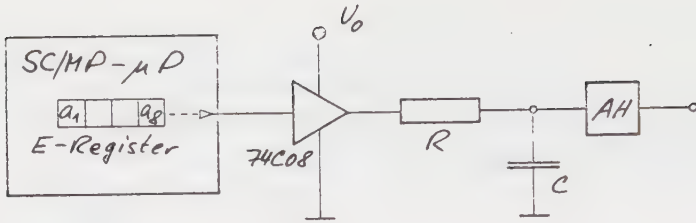


Bild 7.6

Der einkanale SHANNON-RACK-Decoder in einer Mikroprozessoranwendung

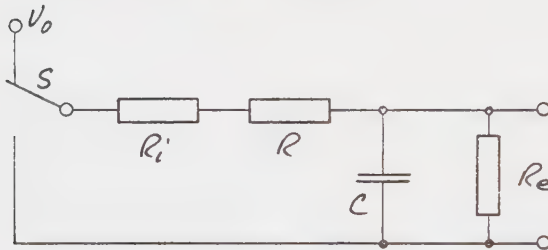


Bild 7.7

Das vereinfachte Ersatzschaltbild für den Wandler nach Bild 7.6

Ausgehend von der Größe R_i , die bei 300 Ohm (gemessen an mehreren Exemplaren der Typen 74C04 und 74C00) liegt, und der Forderung nach einem maximalen Fehler von $1/2$ LSB bei 8 bit Wortlänge, ergibt sich für $R_{\min}$:

$$R_{\min} = 150 \text{ kOhm.}$$

Damit ist aber auch schon der kleinste Eingangswiderstand des Abtasthaltegliedres $R_{\min}$ festgelegt zu:

$$R_{\min} = 75 \text{ MOhm.}$$

Aus der bei KUTE und HARPER aufgeführten Programmliste ergibt sich die minimale Zeitdauer T zu:

$$T_{\min} = 38 \mu\text{s,}$$

woraus die Zeitkonstante des RC-Gliedes zu

$$RC = 54.8 \mu\text{s}$$

folgt.

Der größte Wert für C ist dann

$$C_{\max} = 365 \text{ pF.}$$

Erfolgt die Realisierung durch den wesentlich leistungsfähigeren und

schnelleren Prozessor MCS 65XX, dann ergeben sich minimale Zeiten von:

$$T = 13 \mu s$$

und die Kapazität des Kondensators liegt mit

$$C_{\max} = 120 \text{ pF}$$

wesentlich näher dem Bereich der Schaltkapazitäten.

Schon aus diesem Grund ist es sinnvoll, die Zeitkonstante zu vergrößern. Es kommt aber noch ein viel gewichtigerer Gesichtspunkt hinzu, der die Einführung des SHANNON-RACK-Decoders bisher verhindert hat: Die starke Temperaturabhängigkeit und zeitliche Inkonzanz der verwendeten Bauelemente.

Die bisherigen Ansätze zur Lösung dieses Problems gingen darum ab von dem CR-Entladeverfahren, wie es beschrieben wurde, und wandten sich verstärkt den Kondensatorumladeverfahren zu, die bei SCHMID (36) und in neuerer Zeit bei SUAREZ, GRAY und HODGES (38) zu finden sind.

An dieser Stelle soll aber der ursprüngliche Gedanke der CR-Entladung weiterverfolgt werden, was insbesondere vor dem Hintergrund der Fähigkeiten der heutigen Mikroprozessoren, sinnvoll erscheint. Denn die recht komplizierte Ansteuerung dieser Wandler, welche mit herkömmlicher unflexibler Hardware nur schwer zu realisieren war, bewog letztlich BEST (39) zur Wertung dieser Verfahren als "inpraktikabel".

Um jetzt die Richtung bestimmen zu können, in der die Entwicklung weiter geführt werden soll, ist eine Übersicht über die Fehlermöglichkeiten und deren Ursachen notwendig.

7.3 Fehler der dynamischen Wandler

Geht man vereinfachend davon aus, daß die Schalter als ideal anzusehen sind und die Steuerzeit T genau eingehalten werden kann, dann bleiben noch drei wesentliche Fehlerquellen übrig:

- o Inkonzanz des Ladestroms i_0 beziehungsweise der Ladespannung u_0
- o Variation der Kapazität des Kondensators
- o Temperaturabhängigkeit des Widerstandswertes.

Die beiden letzten Punkte lassen sich auch als Änderung der Zeitkonstanten RC zusammenfassen.

Im Bild 7.8 ist das Ergebnis eines Modellversuchs am Analogrechner für eine Verringerung der Zeitkonstanten RC um 8% für den modifizierten SHANNON-RACK-Decoder dargestellt. Man sieht deutlich eine Veränderung gegenüber Bild 7.5, die gewisse Symmetrieeigenschaften aufweist und in

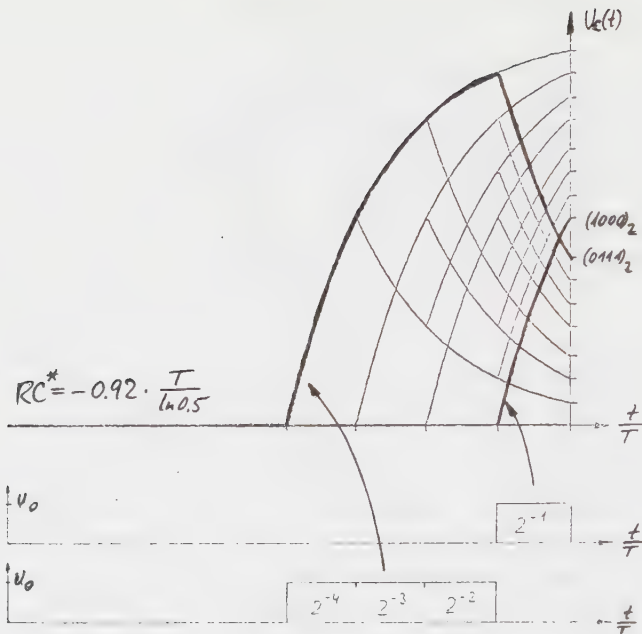


Bild 7.8

Zu niedrige Zeitkonstante des RC-Gliedes führt zu nichtäquidistanten Analogwerten, die in der Mitte des Aussteuerbereichs einen besonders großen Sprung machen

der Mitte des Wandlungsbereiches einen besonders großen Amplitudensprung besitzt. Im Bild 7.9 sind die Abweichungen der einzelnen Ausgangspegel von ihren Nominalwerten für einen 5 bit-Code aufgetragen. Auffallend auch hier die große Abweichung beim Übergang von $(01111)_2$ auf $(10000)_2$ in der Mitte des Diagramms. Ohne Rechnung läßt sich schon aus dem Bild 7.5 erkennen, woran das liegen kann: Maßgebend dafür ist nämlich die zeitliche Ableitung der Kondensatorspannung im Abtastaugenblick $t = 8T$. Diese ist für den Fall am größten, für den die anfängliche Kondensatorspannung einen Extremwert besitzt und zusätzlich die Änderung der Erregung möglichst spät, das heißt, kurz vor dem Abtastaugenblick erfolgt, damit die hohe Anfangsteilheit der Sprungantwort des Systems erster Ordnung berücksichtigt wird.

Die Antwort auf die Erregung mit einem Digitalwort $(10000)_2$, welches dem MSB entspricht, besitzt genau diese beiden Eigenschaften. Deshalb

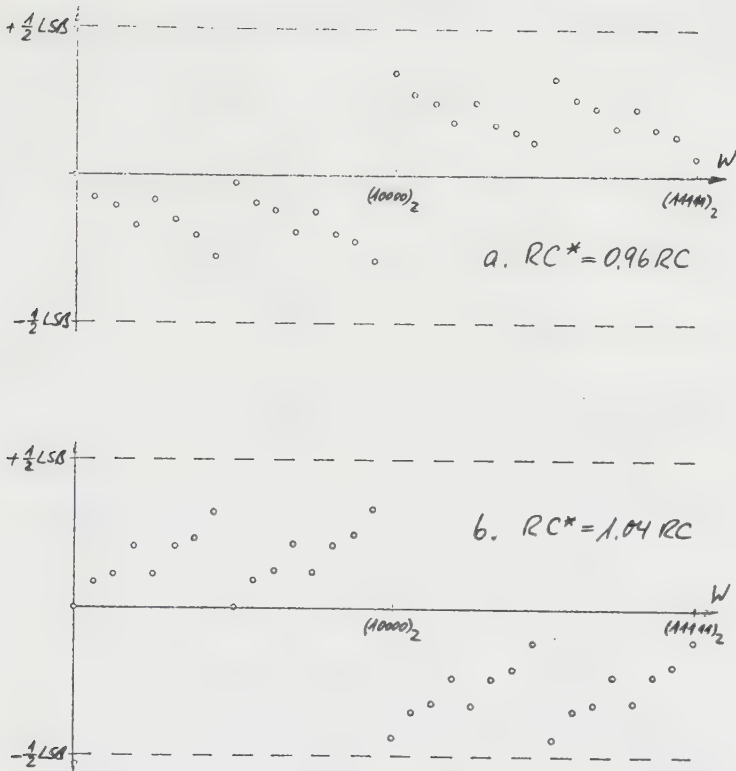


Bild 7.9

Abweichungen der Ausgangsspannung von ihrem Nominalwert für fehlerhafte Zeitkonstante

- a. RC zu niedrig
- b. RC zu hoch

wird die Abweichung der diesem Digitalwort zugeordneten analogen Spannung am Kondensator vom Nominalwert als empfindlichster Indikator zur Grundlage der folgenden Fehlerbetrachtung gewählt. Es ist übrigens sofort ersichtlich, daß eine Erhöhung der Zeitkonstanten RC (im Bild 7.9 unten) zur Nichtmonotonie führen und damit die Stabilität von Regelkreisen durch Vorzeichenwechsel der Rückführung gefährden kann.

Im folgenden werden darum die Auswirkungen der Bauteiltoleranzen auf die Abweichungen Δ der dem MSB zugeordneten Ausgangsspannung hergeleitet, die bei nominell $u_C = u_0/2$ liegt.

a. SHANNON-RACK-Decoder Originalversion

Kapazitätsänderung: $C^* = k_1 C$

Die Ladespannung U_C^* ist dann

$$U_C^* = \frac{1}{k_1 C} I_0 T \quad \text{gegenüber} \quad U_C = \frac{1}{C} I_0 T$$

Daraus folgt: $U_C^* = \frac{1}{k_1} U_C$ und für die Differenz

$$\Delta = U_C^* e^{-\frac{T}{k_1 RC}} - U_C e^{-\frac{T}{RC}}$$

oder

$$\Delta = U_C \left(\frac{1}{k_1} e^{-\frac{T}{k_1 RC}} - e^{-\frac{T}{RC}} \right).$$

Mit $RC = -T/\ln(0.5)$ folgt dann für den auf U_C bezogenen Fehler:

$$\frac{\Delta}{U_C} = \frac{1}{k_1} 0.5^{\frac{1}{k_1}} - 0.5.$$

Die Steigung ist dann

$$\frac{d\left(\frac{\Delta}{U_C}\right)}{dk_1} = - \frac{0.5^{\frac{1}{k_1}}}{k_1^2} - \frac{0.5^{\frac{1}{k_1}} \ln 0.5}{k_1^3}.$$

In der Umgebung des Nominalwertes von C beträgt die Steigung:

$$\left. \frac{d\left(\frac{\Delta}{U_C}\right)}{dk_1} \right|_{k_1=1} = -0.153426.$$

Widerstandsänderung: $R^* = k_2 R$

Die Herleitung ist der vorigen ähnlich, mit dem Unterschied, daß die Ladespannung nicht geändert wird, sodaß sich ergibt:

$$\frac{\Delta}{U_C} = e^{-\frac{T}{k_2 RC}} - e^{-\frac{T}{RC}}$$

und mit der gewählten Zeitkonstanten:

$$\frac{\Delta}{U_C} = 0.5^{\frac{1}{k_2}} - 0.5$$

Für die Steigung ergibt sich dann:

$$\frac{d\left(\frac{\Delta}{U_C}\right)}{dk_2} = - \frac{0.5 \frac{1}{k_2} \ln 0.5}{k_2^2}$$

und in der Umgebung des Nominalwertes von R:

$$\left. \frac{d\left(\frac{\Delta}{U_C}\right)}{dk_2} \right|_{k_2=1} = 0.346574$$

b. Modifizierter SHANNON-RACK-Decoder

Da hier die Ladung und Entladung über die gleichen Elemente erfolgt, genügt die Betrachtung der Auswirkung einer Änderung der Zeitkonstanten $RC^* = k_3 \cdot RC$ und es ergibt sich für diesen Fall:

$$\Delta = U_C \left[\left(1 - e^{-\frac{T}{k_3 RC}}\right) - \left(1 - e^{-\frac{T}{RC}}\right) \right]$$

und mit der gewählten Zeitkonstanten:

$$\frac{\Delta}{U_C} = 0.5 - 0.5 \frac{1}{k_3}$$

Die Steigung ist dem Betrage nach die gleiche wie im vorigen Fall, besitzt aber ein anderes Vorzeichen:

$$\left. \frac{d\left(\frac{\Delta}{U_C}\right)}{dk_3} \right|_{k_3=1} = - 0.346574$$

Interessant ist in diesem Zusammenhang ein Vergleich mit der Komponentempfindlichkeit des R-2R-Netzwerks vom Abschnitt 2. Auch dort ist die Abweichung bei der halben Aussteuerung am größten, da hierfür der Widerstand, welcher den größten Strom liefert, erstmalig zugeschaltet wird. Die Abweichung Δ ist dann

$$\Delta = \frac{R}{2k_u R} U_{Ref} - \frac{1}{2} U_{Ref}$$

und bezogen auf die Referenzspannung

$$\frac{\Delta}{U_{Ref}} = \frac{1}{2} \left(\frac{1}{k_4} - 1 \right)$$

Die Steigung berechnet sich zu:

$$\frac{d\left(\frac{\Delta}{U_{Ref}}\right)}{dk_4} = - \frac{1}{2} k_4^{-2}$$

und für $k_4 = 1$:

$$\left. \frac{d\left(\frac{\Delta}{U_{Ref}}\right)}{dk_4} \right|_{k_4=1} = - \frac{1}{2} .$$

Damit ist rein zahlenmäßig die Komponentenempfindlichkeit des SHANNON-RACK-Decoders gegenüber dem R-2R-Netzwerk geringer.

Da aber k_4 die Abweichung eines Widerstandsverhältnisses bezeichnet, kann dessen Wert durch enge thermische Kopplung und gleiche Temperaturkoeffizienten der Teilwiderstände des R-2R-Netzwerks durch den monolithischen Fertigungsprozeß (/157) sehr nahe bei $k_4 = 1$ gehalten werden. Beim SHANNON-RACK-Decoder und seiner Modifikation sehen die Verhältnisse aber etwas anders aus. Man kann zunächst versuchen, eine Kompensation der Temperatureinflüsse über die geeignete Wahl der Temperaturkoeffizienten der Bauteile zu erreichen. Für den Decoder in der Originalversion gilt dann, daß der Temperaturkoeffizient des Widerstands annähernd doppelt so groß und mit anderem Vorzeichen versehen sein muß als der des Kondensators. Für den modifizierte Decoder müssen sie entgegengesetzt gleich sein.

Betrachtet man aber im Hinblick auf mögliche Integration die Kennwerte von Widerständen und Kondensatoren, welche durch einen Prozeß zur Herstellung integrierter Schaltungen erzeugt wurden (eine Zusammenstellung findet sich bei SUAREZ et al in (/38/)), dann fällt auf, daß beide Komponenten einen Temperaturkoeffizienten mit gleichem, und zwar positivem Vorzeichen und stark unterschiedlichen Werten besitzen. Dies ist letztlich ein weiterer Grund dafür, daß man es in der Entwicklungsrichtung des SHANNON-RACK-Decoders auf MOS-Basis vorzog, nur Komponenten einer Art, nämlich Kondensatoren, in einem Ladungsumverteilungsverfahren zu benutzen.

Bevor jetzt die Alternative zu dieser Entwicklung aufgezeigt wird, soll die Entscheidung begründet werden, das modifizierte SHANNON-RACK-Verfahren als Ausgangspunkt der Weiterentwicklung dem Originalverfahren vorzuziehen. Die zu bewertenden Unterschiede umfassen insbesondere die folgenden Punkte:

- o Art des Vergleichsnormals
- o Steuerung der Informations- und Rechenphase
- o Größe des Aussteuerbereichs.

In der Originalversion nach Bild 7.1 wird eine Stromquelle als Normal benutzt, die üblicherweise in aktiver Realisierung durch eine Konstantspannungsquelle mit nachgeschaltetem Operationsverstärker in entsprechender Beschaltung gebildet wird. Der Aufwand ist damit höher, als wenn eine Konstantspannungsquelle alleine verwendet wird, die zudem in integrierter Form für sämtliche Genauigkeitsansprüche erhältlich ist.

Die Eingabe des zu wandelnden Digitalworts in den SHANNON-RACK-Decoder wird, wie aus Bild 7.2 ersichtlich, mit Hilfe des Schalters S_1 durchgeführt, der seriell mit dem LSB zuerst erregt wird. An diese Informationsübergabephase schließt sich die Rechen- oder Bewertungsphase an, welche durch Schließung von S_2 ermöglicht wird. Im Gegensatz dazu findet beim modifizierten Verfahren die Bewertung gleichzeitig mit der Informationsübernahme statt, wie im Bild 7.5 dargestellt. Dies bedeutet insbesondere eine Verdopplung der Wandlungsgeschwindigkeit bei gleichen Zeitkonstanten RC.

Aus der Tatsache, daß bei der Originalversion die Wandlung mit einer Rechenphase beendet wird, in der die Kondensatorspannung nochmal halbiert wird, folgt, daß der Aussteuerbereich nur halb so groß wie die größte Kondensatorspannung sein kann. An die Stromquelle, den Kondensator und die Schalter werden somit größere Anforderungen gestellt, als dies von der Ausgangsspannung her verlangt wird. Es läßt sich damit zum Beispiel in einem System, welches mit einer Versorgungsspannung von ± 15 Volt arbeitet, keine Ausgangsspannung von 10 Volt erreichen - es sei denn, man fügt noch aktive Bauelemente hinzu. Auf der anderen Seite kann beim modifizierten SHANNON-RACK-Decoder die Kondensatorspannung niemals den Wert der Spannungsquelle erreichen, geschweige denn übersteigen. Hier werden die Komponenten also nur bis zur maximalen Ausgangsspannung beansprucht.

7.4 Dynamischer Analog/Digitalwandler

Ergänzt man den modifizierten SHANNON-RACK-Decoder nach Bild 7.3 um einen Komparator K, der eine unbekannte Spannung u_x mit der Kondensatorspannung u_c als Ausgangsgröße des dynamischen D/A-Wandlers vergleicht und gibt ferner die Ausgangsgröße des Komparators auf eine digitale Steuerschaltung für den Schalter S, kommt man zu einem rückgekoppelten A/D-Wandler, der im Bild 7.10 dargestellt ist und schon von KUTE und HARPER (/37/) beschrieben wurde. Sie stellen zwar das Prinzip dar und nannten als mögliche Fehlerquellen auch die Toleranzen von Widerstand und Kondensator, machten aber keine Angaben über die Größe der Komponenten und den Einfluß dieser Fehler. Es wurde von ihnen aber vorausgesetzt, daß das Verfahren für eine Wortlänge von 8 bit funktioniert. Daß dies unter realistischen Randbedingungen nicht der Fall sein kann, soll im folgenden gezeigt werden.

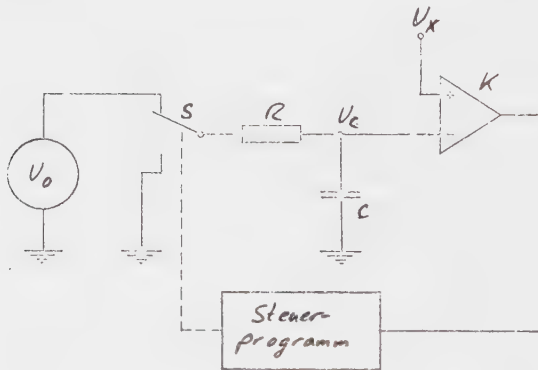


Bild 7.10

Dynamischer Analog/Digital-Wandler mit
zyklischer Struktur

Betrachtet man nur einmal den Fehler des Kondensators etwa für MKT-Kondensatoren der Typenreihe B 32231 (/40/), dann wird für den Temperaturbereich von 0°C bis 70°C eine reversible temperaturabhängige Kapazitätsvariation von $\pm 2\%$ angegeben, während eine irreversible Änderung oder zeitliche Inkonzstanz von $\pm 3\%$ als typisch angesehen wird. Daraus resultiert ein maximaler Fehler der Kapazität von $\pm 5\%$. Nach dem im vorigen Abschnitt 7.3 hergeleiteten Einfluß einer Änderung der Zeitkonstanten auf die Kondensatorspannung ergibt sich immer noch ein Spannungsfehler von $\pm 1.73\%$. Soll der daraus resultierende Fehler ein halbes niedrigstwertig-

ges Bit nicht übersteigen, dann berechnet sich daraus eine Auflösung von 28.9 Amplitudenstufen. Diese Auflösung liegt zwischen vier bit mit 16 und fünf bit mit 32 Amplitudenstufen und kann damit dem Anspruch auf 8 bit Auflösung in keiner Weise gerecht werden.

Für eine derart hohe Auflösung muß vielmehr ein maximaler Spannungsfehler von $2^{-9} = 0.195\%$ gefordert werden, der einen größten Fehler der Zeitkonstanten RC von 0.564% zuläßt. Da dieser durch Kompenisationsmaßnahmen, insbesondere für die zeitliche Inkonzanz der Kapazität, nicht erreicht werden kann, wird hier ein anderer Weg eingeschlagen, der auf einen schaltenden Regler an einem Streckenmodell hinausläuft.

Dazu wird noch einmal die Fehlergleichung des modifizierten SHANNON-RACK-Decoders aus Abschnitt 7.3 herangezogen:

$$\frac{\Delta}{U_c} = \left[\left(1 - e^{-\frac{T}{k_3 RC}} \right) - \left(1 - e^{-\frac{T}{RC}} \right) \right]$$

wobei k_3 im Bereich $0.95 \leq k_3 \leq 1.05$ liegt. Es ist offensichtlich, daß die Differenz der beiden Klammern verschwindet, wenn es gelingt, die Zeit T in der ersten Klammer ebenfalls mit k_3 zu bewerten, sodaß man erhält:

$$\frac{\Delta}{U_c} = \left[\left(1 - e^{-\frac{k_3 T}{k_3 RC}} \right) - \left(1 - e^{-\frac{T}{RC}} \right) \right] = 0$$

Es kommt also darauf an, die Taktzeit T der sich ändernden Zeitkonstanten RC nachzuführen.

Da beim rückgekoppelten A/D-Wandler bereits die Schleifenstruktur eines Regelkreises vorliegt, ist es naheliegend, diese Struktur ebenfalls für die Ausregelung von Änderungen der Zeitkonstanten auszunutzen. Die Aufgabengröße ist hierbei das Verhältnis von T zu RC, welches im ausgeregelten Fall bei $T/RC = -\ln 0.5$ liegen soll. Dies ist jedoch eine meßtechnisch schwer zu erfassende Größe. Im vorigen Abschnitt wurde aber hergeleitet, daß die Abweichung der Ausgangsspannung vom Nominalwert bei der halben Aussteuerung das empfindlichste Maß für diese Abweichung der Aufgabengröße von ihrem Nominalwert ist. Als Regelgröße wird damit die Kondensatorspannung U_c gewählt. Der Sollwert liegt bei der halben Aussteuerung. Die Stellgröße ist die Taktzeit T, wobei der Stellbereich nur 10% umfaßt.

Um nun bestimmen zu können, in welcher Weise T geändert werden kann, muß man sich vor Augen halten, wie Zeitverzögerungen - und um eine solche handelt es sich hier ja - im Mikrocomputer realisiert werden. Es sind

normalerweise Zählschleifen, die ausgehend von der Vorbesetzung eines Indexregisters mit einer Zahl ungleich Null, dieses solange dekrementieren, bis das Register an allen Stellen Nullen enthält. Mit einem Abfragebefehl kann dieser Zustand festgestellt und daraufhin die zeitverzögerte Aktion ausgelöst werden. Das kleinste Intervall, um welches T verändert werden kann, ist nun durch die Ausführungszeit des Dekrementbefehls gegeben, welcher seinerseits beim Mikroprozessor MCS 65XX zwei Maschinenzyklen beansprucht. Bei 2 MHz Grundtakt ist dies genau $1 \mu\text{s}$. Diese Mikrosekunde wiederum entspricht der vorhin genannten Zahl von 0.564% der Taktzeit T , sodaß sich für den Nominalwert von T

$$T = \frac{1 \mu\text{s} \cdot 100}{0.564} = 177.3 \mu\text{s}$$

ergibt. Der Stellbereich für $0.95 T \leq k_3 T \leq 1.05 T$ ist also
 $168 \mu\text{s} \leq k_3 T \leq 187 \mu\text{s}$.

Bild 7.11 zeigt die Zeitaufteilung während der Ansteuerung des A/D-Wandlers über eine Taktperiode T .

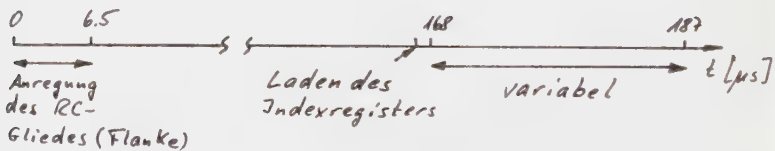


Bild 7.11

Zeitlicher Ablauf der Ansteuerung für den dynamischen A/D-Wandler mit Stellbereich für die nachgeführte Taktzeit

Während der Zeit nach Anregung des RC-Gliedes bis zum Laden des Indexregisters ist der Mikrocomputer im Prinzip frei für Aufgaben, welche eine genau definierte Zeit beanspruchen. Dies bedeutet insbesondere aber auch, daß während dieser Zeit keine Interrupts auftreten dürfen.

Da der dynamische A/D-Wandler von vornherein als Mehrfachwandler konzipiert wurde, dessen Struktur im Bild 7.12 angegeben wird, kann als Modellregelstrecke, in der die Abfrage auf die Abweichung von der halben Ausgangsspannung durchgeführt wird, einer der sieben Kanäle dieses Mehrfachwandlers, in diesem Fall der obere, gewählt werden. Der unterste An-

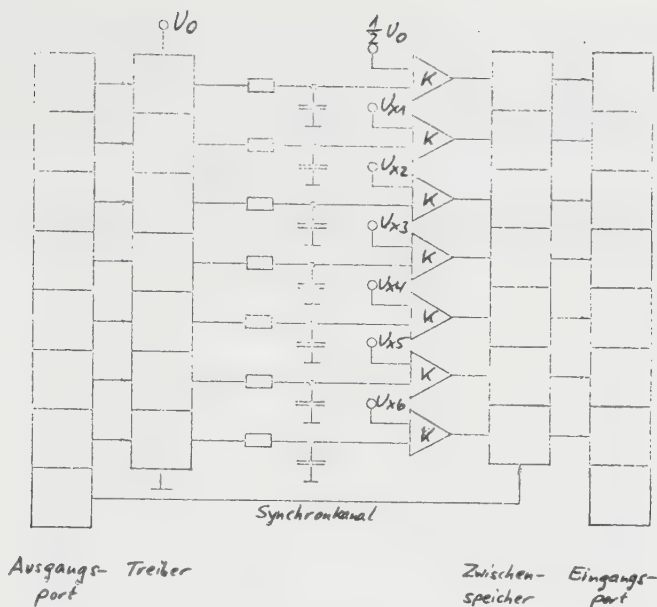


Bild 7.12

Dynamischer Mehrfachwandler, dessen oberer Kanal als Referenzkanal für die Nachstellung der Taktzeit herangezogen wird

schluß des links liegenden Ausgangsports dient als Synchronisationskanal für die digitalen Abtasthalteglieder, welche die Komparatorentscheidung bis zur Abfrage zwischenspeichern. Da mit dem Komparator nur das Vorzeichen der Regelabweichung erfaßt wird, bekommt die Eingangsstufe der Regelschaltung die Charakteristik eines Zweipunktschalters. Abhängig vom Vorzeichen der Abweichung wird dann der Schleifenparameter zur Erzeugung der Taktzeit T inkrementiert oder dekrementiert. Pro Abtastintervall kann damit die maximale Änderungsgeschwindigkeit nur $1/2$ LSB betragen, was aber wegen des großen Verhältnisses der Änderungsgeschwindigkeit von Komponentenparametern zur Abtastzeit völlig ausreichend ist.

Im stationären Zustand, das heißt, wenn sich die Zeitkonstante nicht ändert, ergibt sich eine Arbeitsbewegung um maximal $1/2$ LSB mit der halben Abtastfrequenz, die aber keine Auswirkung für den Fall zeigt, bei dem das Abtasttheorem bei der Auslegung der digitalen Regelung mit dem Mikroregler eingehalten wird.

Ein typischer Abgleichvorgang für die dynamische A/D-Wandlung ist für einen Kanal im Bild 7.13 als Ergebnis einer Simulation am hybriden Analogrechner dargestellt. Die größte Wandlungszeit beträgt 6.73 ms für die sechs verbleibenden Kanäle aus Bild 7.12, sodaß sich eine effektive Wandlungszeit von 1.12 ms pro Kanal ergibt. Auch hier wird wieder, wie im Fall des statischen Mehrfachwandlers aus Kapitel 6 eine Matrixtransponierung notwendig, welche aber in der Zeit, die vorhin als frei verfügbar gekennzeichnet war, durchgeführt werden kann.

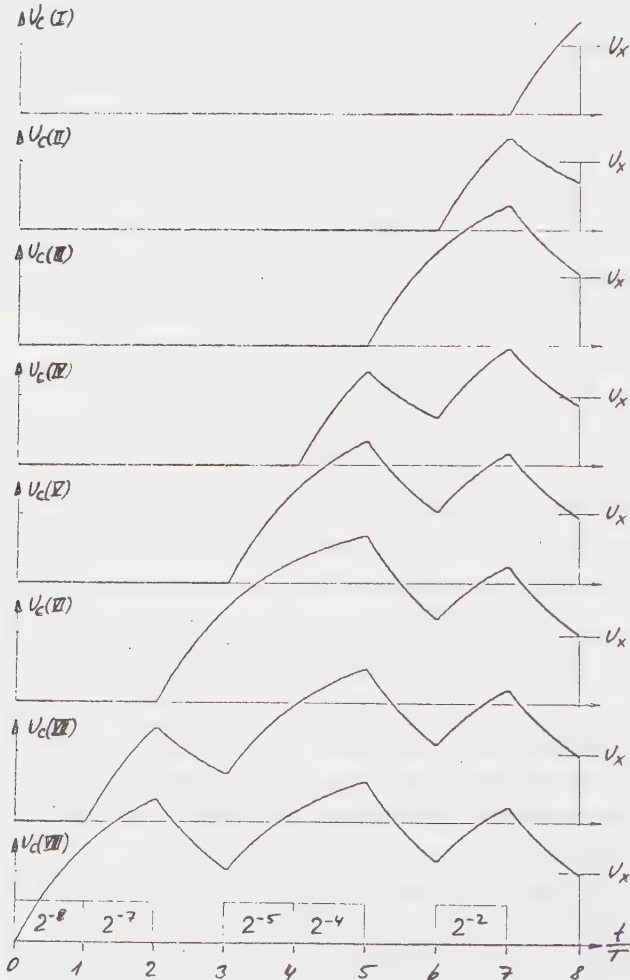


Bild 7.13

Abgleichvorgang des dynamischen A/D-Wandlers
mit sukzessiver Approximation

Bei diesem dynamischen Verfahren mit Modellregelstrecke zur Ausregelung der Komponentenfehler muß man sich aber immer vor Augen halten, daß die Bauelemente bezüglich ihres Langzeitverhaltens, der Temperaturkoeffizienten und der thermischen Kopplung untereinander eng toleriert sind.

Dieser differentiale Gleichlauf orientiert sich an der gewünschten Auflösung und muß für den A/D-Wandler mit einer Auflösung von 8 bit innerhalb von 0.564% liegen.

ZUSAMMENFASSUNG

Das Vordringen des Konzepts der verteilten digitalen Regelung und die Anwendung digitaler Regelungsanordnungen auf immer kleinere Prozesse stellt neue Anforderungen an die Analogperipherie. Diese muß einerseits gut an verschiedene Meßaufnehmer anpaßbar sein, als auch wegen des vermehrten Einsatzes im Verhältnis zum Gesamtaufwand einer digitalen Regelung, vom Aufwand her in Grenzen bleiben. Es wird also die Forderung nach funktionaler Flexibilität erhoben, verbunden mit einfachem und billigem Aufbau und der Kompatibilität mit Mikrocomputern. Der Weg zu diesem Ziel wird in der vorliegenden Arbeit in drei Schritten zurückgelegt. Zuerst wird ein A/D-Wandler in seinen Eigenschaften und seiner Struktur geändert. Dann wird ein Mikrocomputer zur Steuerung herangezogen und erweitert die Fähigkeiten der Eingangsschaltung. Schließlich wird nach Wandlungsmethoden gesucht, die den Mikroprozessor während der Wandlung voll auslasten.

Der erste Schritt besteht detailliert darin, durch Schaffung einer Gleitkommakennlinie den Wandlungsbereich bei gleichbleibendem relativem Fehler zu erhöhen. Der Vorteil der hier gebrachten Methode gegenüber bekannten Lösungen ist insbesondere in der drastisch reduzierten Zeit für die Gleitkommawandlung zu sehen:

Die Hinzunahme des Mikrocomputers als Steuergerät für die Ablaufsteuerung des Gleitkommawandlers resultiert einerseits in einem wesentlich niedrigeren Aufwand, verleiht ihm aber auch eine große funktionale Flexibilität, da die Kennlinie des Wandlers nunmehr vom Programm her festgelegt werden kann. Dies führt dazu, den Wandler zur hybriden Linearisierung von Meßwertaufnehmern einsetzen zu können. Diese Methode wird hier erstmals beschrieben und verbindet die Vorteile der bisher verwendeten Verfahren.

Mit solchen Aufgaben ist der Mikrocomputer während der Wandlungszeit allerdings nicht voll ausgelastet und es wird im dritten Schritt untersucht, wie der Datendurchsatz durch gleichzeitige Wandlung mehrerer Größen erhöht werden kann. Die Struktur dieser vertikalen A/D-Wandlung wird hier erstmals beschrieben und zwei Möglichkeiten der Ausführung angegeben. Der statische vertikale A/D-Wandler besitzt eine sehr niedrige Umsetzzeit pro Kanal, verglichen mit anderen mikrocomputergesteuerten Wandlern, während der dynamische vertikale Wandler sich durch besonders geringen Aufwand auszeichnet.

Diesen drei Schritten folgend, ergibt sich eine hybride Analogperipherie, deren Eingangsbereich und Kennlinie programmierbar sind, mikrocomputerkompatibel ausgelegt für eine bessere und preisgünstigere Verbindung der Mikroregler mit der realen Außenwelt.

LITERATURVERZEICHNIS

- /1/ Föllinger, O.: "Regelungstechnik", Elitera-Verlag, Berlin 1972
- /2/ Ackermann, J.: "Abtastregelung", Springer-Verlag, Berlin 1972
- /3/ Seifert, M.: "Mikroprozessoren in verteilten PDV-Systemen", KFK-PDV 101 der GFK Karlsruhe 1977 S.110-131
- /4/ Siebert, H.: "Überwachung und Regelung von Pipelines mit einem dezentralen Mikrorechnersystem", KFK-PDV 101 der GFK Karlsruhe 1977 S.298-307
- /5/ Birck, H.: "Kompaktregler mit Mikrorechner-Bausteinen", Dissertation München 1977
- /6/ Latzel, W.: "Regelung mit dem Prozeßrechner", BI-Verlag, Zürich 1977
- /7/ Hengstenberg, J., Sturm, B. und Winkler, O.: "Messen und Regeln in der chemischen Technik", Springer-Verlag 1964
- /8/ Pontrjagin, L.S.: "Mathematische Theorie optimaler Prozesse", Oldenbourg-Verlag, München 1964
- /9/ Lauber, R. und Stocker, H.: "Einsatz eines Mikroprozessors Motorola MC 6800 als Zweigrößenregler", KFK-PDV 101 der GFK Karlsruhe 1977 S.216-230
- /10/ Jinadasa, N.: "The real world control system family", Proceedings of the IMMM 78 Conference, IPC, Surrey, 1978
- /11/ Ericson, A.: "Microcomputer cards tailored to industrial controls start at \$ 300", Electronics, 8.6.78, S.5E-7E
- /12/ Seitzer, D.: "Elektronische Analog/Digital-Umsetzer", Springer-Verlag, Berlin 1977
- /13/ siehe /7/
- /14/ Jones, D. und Webb, R.W.: "The HA 2900 monolithic chopper stabilized amplifier", Application Note 518, Harris Intertype 1974
- /15/ Cecil, J. und Whitmore, J.: "A 10-bit monolithic CMOS D/A-Converter Analog Dialogue 8-1 (1974) S.3-5
- /16/ Datenblatt AD 7522, Analog Devices 1976
- /17/ Datenblatt DAC 331-8, Hybrid Systems 1976
- /18/ Schecher, H.: "Bit-Slice-Prozessoren", Mikroprozessoren und Mikrocomputer, Hanser-Verlag, München 1977, S.13-26
- /19/ Färber, G.: "Mikroprozessortechnik 76 - Stand und Weiterentwicklung", KFK-PDV 101 der GFK Karlsruhe 1977, S.12-34
- /20/ MCS 6500 Microcomputer Family Hardware Manual, MOS-Technology, Norristown 1976

- /21/ Cantarano,S. und Pallottino,G.V.: "Logarithmic Analog-to-Digital Converters; A Survey", IEEE TR-IM 22, No.3, Sept. 1973, S.201-213
- /22/ Ernst,P.: "Gleitkomma Analog/Digitalwandler", Patentanmeldung P 2460907 vom 21.12.1974
- /23/ Ernst,P.: "Gleitkomma Analog/Digitalwandler", messen steuern regeln 18 (1975), Heft 6, S.207-208
- /24/ Ernst,P.: "Digitalisierung analoger Meßwerte großer Dynamik", Der Forschungs und Versuchsingenieur, Heft 4, 1976, S.21-22
- /25/ Sheingold,D.: "analog-to-digital Conversion Notes", Analog Devices, Norwood 1977
- /26/ Euler,K. und Schlichte,M.: Paper B4 in Proceedings of the Zurich Seminar 1974
- /27/ Milojkovic,D.: "Data conversion with companding DAC-Devices", Advanced Micro Devices AMPUB 07, Sunnyvale 1978
- /28/ Schlitt,H.: "Stochastische Vorgänge in linearen und nichtlinearen Regelkreisen", Vieweg-Verlag, Braunschweig, 1968
- /29/ Heath,J. und Nagle,T.: "Design a floating-point a/d-converter" Electronic Design 11, 24. Mai 1974, S.80-84
- /30/ Arnold,F.J., Dohanich,G.J. und Moxin,R.M.: "Auto range control for Analog-to-Digital Converter", IBM Technical disclosure Bulletin, Vol.14, No.1, Juni 1971, S.204-204a
- /31/ Burger,E.: "Aufbau eines Gleitkomma Analog/Digitalwandlers" Studienarbeit am Institut für Regelungstechnik 1975 (vom Verfasser betreut)
- /32/ "Digitale Schaltungen" Hrsg Siemens AG B 1572
- /33/ Aldridge,D.: "Analog-to-digital conversion techniques with the M 6800 Microprocessorsystem", AN 757, Motorola
- /34/ Ernst,P.: "On minimum realisations of analog-to-digital conversions with microcomputers", Proceedings of the IMMM 77 Conference, IPC, S.270-276
- /35/ Elphick,M.: "Analog boards for microcomputers", Electronic Design, Sept. 77, Vol.25, No.19, pp26-32
- /36/ Schmid,H.: "Electronic Analog/Digital Conversions", Van Nostrand 1970
- /37/ Kute,B. und Harper,T.: "SC/MP as an Analog-to Digital converter" AN 191 National Semiconductor 1977
- /38/ Suarez,R.E., Gray,P.R. und Hodges,D.A.: "All MOS charge redistribution A/D conversion technique Part II", IEEE SC-10, No.6, Dez 1975
- /39/ Best,R. Vortrag Zurich Seminar 1974
- /40/ "Metallisierte Kunststoff-Kondensatoren", Siemens B 1855

Lebenslauf

26.07.1940 geboren in Erlangen

 Vater: Gert Ernst, Elektroingenieur

 Mutter: Elisabeth Ernst, geb. Hallensleben

seit 1970 verheiratet mit Gerlinde Krauß

 2 Söhne, 1 Tochter

1947 - 1952 Volksschule in Bremerhaven

1952 - 1960 Höhere Schule in Bremerhaven
 und Kiel

1960 - 1962 Dienstzeit bei der Bundeswehr
 (Pioniertruppe)

1962 Praktikum bei der Firma Hagenuk
 in Kiel

1962 - 1966 Studium der Physik an der Uni-
 versität Kiel (Vordiplom Physik)
 Reserveübungen mit Beförderung
 zum Oberleutnant der Reserve

1966 - 1970 Studium der Elektrotechnik an
 der Universität Erlangen
 (Diplom Elektrotechnik)

1971 Wissenschaftlicher Mitarbeiter
 und

seit 1972 Wissenschaftlicher Assistent am
 Institut für Regelungstechnik der
 Universität Erlangen/Nürnberg

Copy-Center 2000

852 ERLANGEN · Obere Karlstr. 30
Tel. 09131-26197